

ひびきのチーム、
ロボカップ@ホーム
に参戦。
脳型人工知能に
興味ある人を募集中！

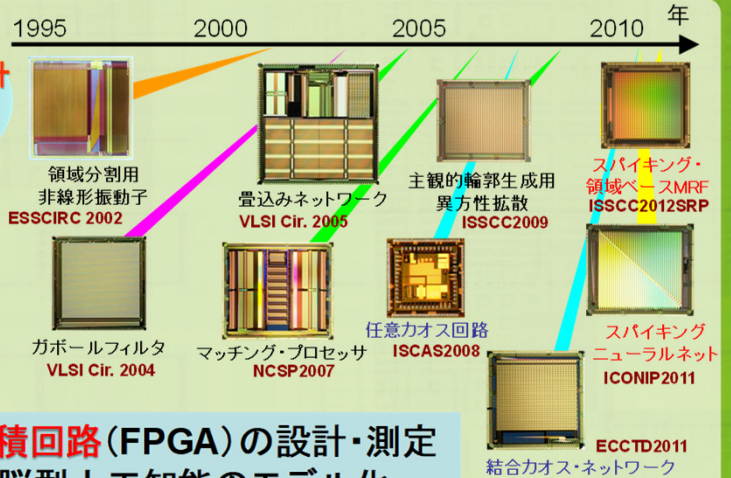
ソフトウェア
(プログラミング)
C, MATLAB

情報処理モデリング・
システム化

デジタルLSI設計
(FPGA)
Verilog HDL,
VHDL

ナノデバイス設計
C, SPICE,
プロセス技術

アナログLSI設計
(専用チップ設計)
SPICE,
Layout tool

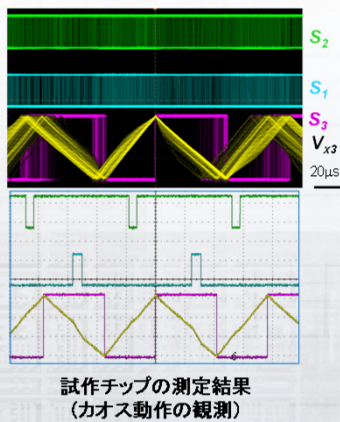
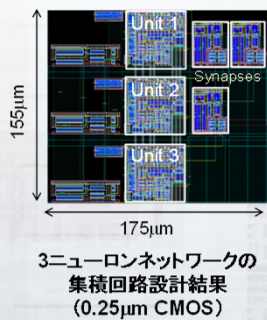


1. 脳型人工知能のための**アナログ/デジタル集積回路(FPGA)**の設計・測定
2. **海馬・扁桃体・前頭前野**機能に学んだ新しい脳型人工知能のモデル化
3. 脳型人工知能のための**不揮発性アナログメモリ素子**の測定・評価
4. 脳型人工知能ハードウェアの**@ホームロボット**への応用

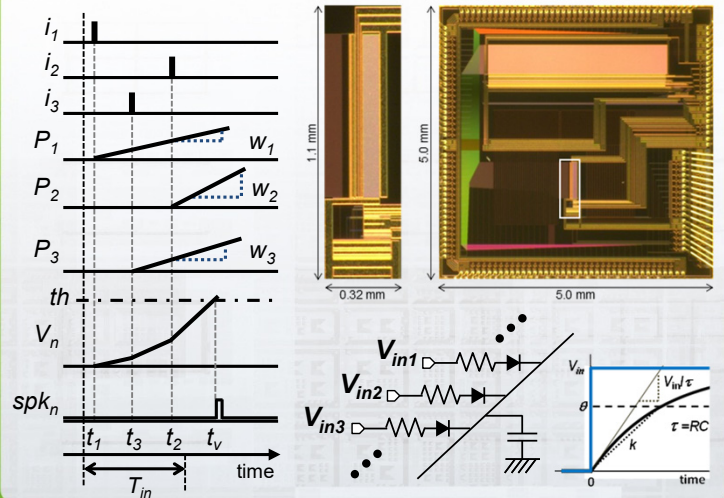
研究室で開発した
集積回路チップ

カオスを利用する脳型処理モデル・回路

制約付きボルツマンマシン (RBM)
確率動作 ⇒ カオス動作
カオスボルツマンマシン



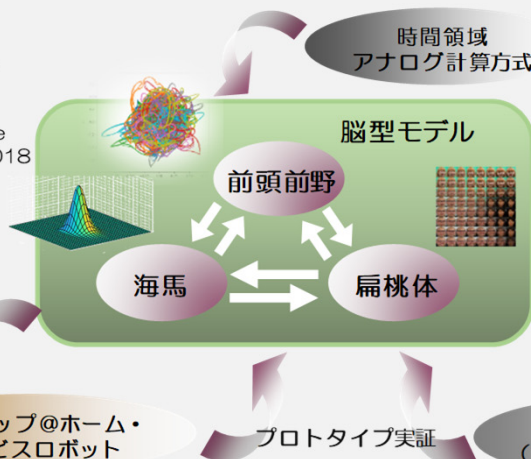
時間領域アナログAIプロセッサ



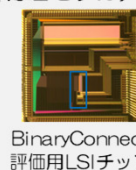
海馬・扁桃体・前頭前野の脳型モデルと集積回路化・ホームサービスロボットへの応用

- ・超低エネルギー計算
- ・リアルタイム性
- ・エッジコンピューティング

RoboCup@Home
日本大会 OPL 2018
世界大会 DSPL
2017, 2018
WRS2018
優勝



脳型ハードウェア実現手法
(物理モデル) 開発



より人の考え方に近く、
いつも人に寄り添い、
個人の経験・記憶・判断を
サポートするAI

- ・エピソード記憶
- ・少数イベントでの学習
- ・古典的条件付け
- ・海馬・場所細胞ネット
- ・経路依存場所細胞モデル

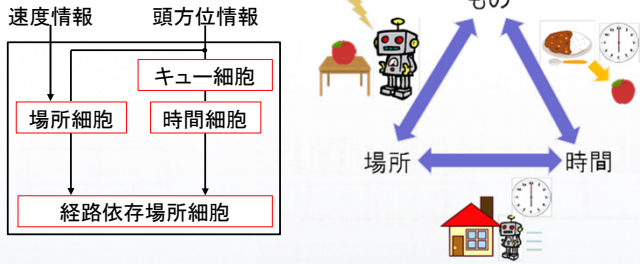


ロボカップ@ホーム・
サービスロボット

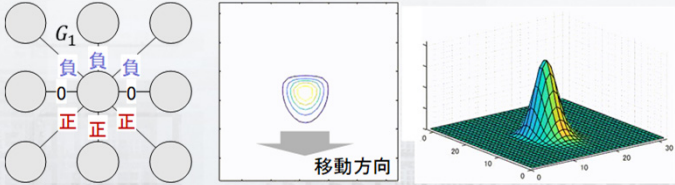
プロトタイプ実証

感覚系入力
(深層ネットから)

海馬モデルの集積回路化

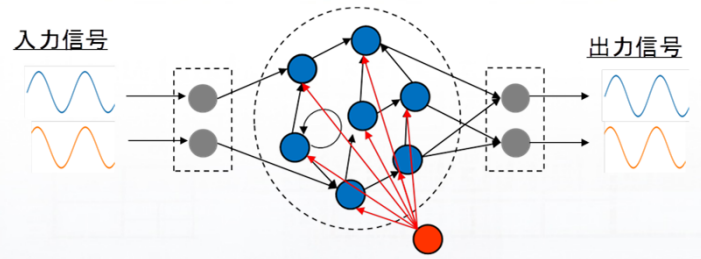


場所・時間・イベントを符号化する『海馬-嗅内皮質モデル』

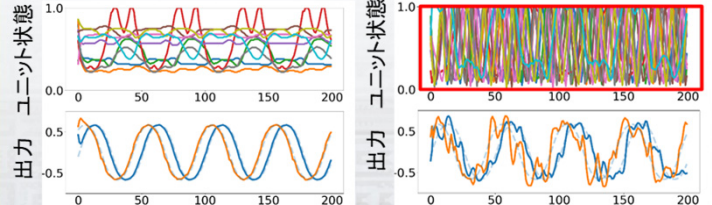


場所を表現する場所細胞ネットワークの集積回路向けモデル

脳のモデルとしてのレザバー計算機



集積回路化可能なレザバーモデルの最適化設計



時系列学習成功例

時系列学習失敗例

AIチップ用抵抗変化型アナログメモリ素子

抵抗変化型メモリ (ReRAM) の原理 (北大と共同研究)

Siチップ上のメモリ素子と制御回路

脳型学習ルール (STDP) の実現(測定結果)

AIチップ用強誘電体アナログメモリ素子

強誘電体ゲートトランジスタ (FeFET)

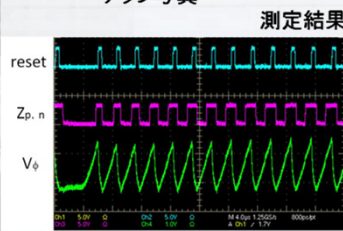
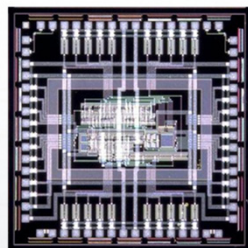
超高抵抗・アナログ書き込み

産総研 (つくば) と共同研究

『自作チップ・コンテスト in ひびきの』

設計した回路を、キャンパス内のクリーンルームで自らチップ試作し、測定・評価までを経験できます。パルス結合振動子回路を設計し、動作確認に成功しました。

第3回コンテストで最優秀賞受賞



研究室のデータ

- 受入学生の出身校(国内のみ、累積)
 - 九工大, 北九州市立大, 長崎大, 熊本大, 琉球大, 福岡大, 広島大, 東京理科大, 東京電機大, 広島工大, 金沢工大, 日大, 芝浦工大, 北九州高専, 大分高専, 有明高専, 佐世保高専, 熊本高専(熊本), 鹿児島高専, 宇部高専, 香川(高松)高専, 米子高専, 奈良高専, 大島商船高専
- 研究室修了生の主要就職先(累積, 会社名は就職時)
 - 博士前期課程(修士): ソニーLSIデザイン(2名), 東芝, ルネサステクノロジ(2名), ルネサスデザイン, 日立超LSIシステムズ, 富士通デバイス, 沖電気工業, DNP・LSIデザイン, サンディスク, 旭化成エレクトロニクス, ザインエレクトロニクス, セイコーNPC, マツダ, アイシン精機, ジェイテクト, 富士通テン(3名), デンソーテクノ, ヤマハ, NTTファネット, オムロン・ヘルスケア, アルパイン, PFU, 日本システムウェア, 日本電産, 日鉄エレックス, アマダ
 - 博士・ポスドク: 東芝(3名), ソニーLSIデザイン, ホンダ, 富士重工, 東京エレクトロン, テムザック, 北九州高専, 宇部高専, 東大