

# AD融合方式画像特徴抽出LSIと それを用いた自然画像認識システムの研究開発

森江 隆\*, 梅澤 淳, 中野 鉄平, 安藤博士, 岩田 穆

\* 九州工業大学 大学院生命体工学研究科

〒 808-0196 北九州市若松区ひびきの 2-4

*morie@brain.kyutech.ac.jp*

広島大学 大学院先端物質科学研究科

〒 739-8526 東広島市鏡山 1-3-1

{*omezawa, teppei, ando, iwa*}@*dsl.hiroshima-u.ac.jp*

本研究では、画素並列で動作する複数の画像処理モデルを、パルス変調信号を用いたアナログ・デジタル(AD)融合アーキテクチャに基づいてLSI化し、それらを組合わせて複数人の顔を含む自然画像からの顔認識を実行する集積システムを構築することを目的とする。大局的領域分割・抽出・特徴抽出の画像処理モデルを実行する回路を提案・設計し、テストチップの動作を確認した。また、自然画像からの顔・物体認識の処理モデルを提案し、それらの一部をFPGAに実装し、認識システムを開発した。

## 1 はじめに

本研究ではニューラルネットワークの枠組みによる複数の画像処理モデルを用いて自然画像からの顔などの瞬時認識を行うためのシステムを提案し、回路アーキテクチャレベルから発想した新しい集積システムを開発することを目的とする。具体的には、パルス変調信号を用いてアナログとデジタル両方式を融合したAD融合方式[1-3]に基づき、セルラーネットワーク構造で画素並列動作を行う特徴抽出LSIを開発する[4, 5]。

本研究で主として扱う画像処理要素技術である抵抗ヒューズネットワークおよび抵抗ネットワーク方式ガボールフィルタは、元々アナログダイナミクスを実現するアナログ回路に基づいて提案されたモデルである。アナログ方式は、連続時間・連続状態のダイナミクスが実行できるので、マイクロ秒オーダーで高速に結果が得られるという利点がある。回路ユニットのサイズも小さくできるので、超並列動作が可能である。しかし、実画像の認識に必要な $100 \times 100$ 画素程度を並列に処理する大規模なアナログ回路を設計することは極めて難しい。実際のアナログLSIには予測困難な寄生素子、ノイズ・クロストーク、素子のパラメータばらつきなどの様々な非理想的な要因が発生するからである。

さらに、従来のアナログ方式では、抵抗ヒューズ特性のような非線形変換を自在に実現することが難しい。

我々が提案している方式は、電圧または電流方向にデジタル的な2値の情報を持ち、時間軸方向にアナログ情報を有するパルス信号を用いて、時間領域でアナログ情報処理を行うものである[1, 2]。これをAD融合アーキテクチャと名付けている。この方式では、かなりの回路ブロックがデジタル回路と同様にSi CMOS技術の微細化スケールングトレンドに適合して面積を縮小できるので、大規模なアナログ情報処理回路を実現するのに適している。低電圧動作も可能で、高い制御性を有し、既存のデジタルシステムとのマッチングもよい。ノイズやクロストークなどにも強いという利点もある。

また我々は、パルス幅/パルス位相変調(PWM/PPM)信号からアナログ電圧への変換過程で任意の時間波形のサンプリングを利用することにより、任意の非線形変換を実現する回路方式を開発している[3]。これは抵抗ヒューズ特性などの実現に適用できる。また、一般に、離散時間・連続状態の非線形ダイナミカルシステムを高い制御性で実現することができる。

前の特定領域研究で我々は、AD融合回路アーキテクチャに基づいて、PWMイメージセンサ、画像処理用セルオートマトン回路、およびパ

ターンマッチング回路を含む特徴連想プロセッサを開発した [6]。本研究ではその成果を継承して、AD 融合回路方式による各種画像処理 LSI を提案・開発した。さらに、デジタル方式での実現法も開発した。デジタル方式は AD 融合方式に比べて処理速度の点で劣るが、準リアルタイム処理が可能で実装が容易という利点がある。得られた成果を用いて顔・物体認識システムを構築した。

本研究で得られた成果は次の通りであり、以下各節で詳述する。

- (1)自然画像からの顔・物体認識の処理モデルの提案 (第 2 節)。
- (2)大局的領域分割のための抵抗ヒューズネットワークモデルの提案。パルス変調信号を用いた AD 融合方式画素並列回路による抵抗ヒューズネットワーク LSI の設計と評価、デジタル方式抵抗ヒューズネットワークアーキテクチャの提案と FPGA への実装 (第 3 節)。
- (3)画像領域抽出のためのセルオートマトン型アルゴリズムの提案と FPGA への実装 (第 4 節)。
- (4)抵抗ネットワーク型ガボールフィルタ回路に基づいた画素並列アルゴリズムの開発とパルス変調信号を用いた AD 融合方式 LSI の設計と評価 (第 5 節)。
- (5)大局的領域抽出を含む、ダイナミックリンクアーキテクチャによる自然画像からの顔・物体認識システムの開発 (第 6 節)。

## 2 自然画像からの顔・物体認識の処理モデル

我々が提案する自然画像から顔・物体等を認識するシーケンスを図 1 に示す。

一般に自然画像には複数の物体が存在するが、それらを認識するには、その画像に含まれる個々の認識対象物毎に領域を分割し、抽出する必要がある。しかし、認識対象物は一般に複数の特徴的な画像領域 (例えば輝度・色などが一定の領域) の組み合わせから成り立っているので、それらの組み合わせを決定するにはまず認識が実行されていなければならない。認識を

行うには領域分割が必要なため、鶏と卵の関係で、一般には極めて困難な課題となる。

しかし、顔のようにおおざっぱな輝度を有する一領域からなっている認識対象物では分割は比較的容易である。ただし、既存の顔領域検出技術は肌色を利用したり、目・鼻・口などの顔のパーツをマッチングするなど、顔特有の特徴を用いているために他の物体検出には利用できない。そこで、輝度が周囲と顕著に異なる大まかな領域で分割する方法を考える。一般的にはこのような分割法が必ずしも常に一つの意味ある物体を分割するわけではないが、新しい手法として有用性があると考えられる。

画像に含まれる細かな領域を除去し、大局的な領域分割を実行するモデルとして、我々は抵抗ヒューズネットワークモデルを提案した [4, 5]。まず、自然画像を抵抗ヒューズネットワークにより輝度のほぼ等しい大まかな領域ごとに平滑化する。これにより、例えば顔領域は目、眉、鼻、口などの細かな領域が消え、均一な領域になる。抵抗ヒューズネットワークは簡単なセルラー構造のためにアナログ回路での実現に適しているが、非線形な特性を自在に実現することが難しい。そこで、我々が提案している AD 融合回路方式を採用する。これに基づく画素回路を第 3.2 節で述べる。また、より実装が容易なデジタル回路での実装法を開発した。これを FPGA へ実装した結果と併せて第 3.3 節で述べる。

分割された大まかな領域を一個ずつ抽出する。これには、既存技術の画素シリアル型ラベリング法だけでなく、我々がすでに提案している非線形振動子ネットワーク [7-10] が使えるが、今回、この方式の原理に基づいてデジタル回路で構成可能なセルオートマトン型回路を考案した [11, 12]。振動子ネットワークはアナログダイナミクスによる振動子の同期性を利用しており、領域境界のエッジ情報の欠けにもロバストであること、高次認識モデルへの展開が可能であることなど、高いポテンシャルを有しているが、専用 LSI を設計する必要がある。一方、セルオートマトン型はデジタル回路で実現できるので FPGA でも構成可能であること、回路構成が簡単であるため、上記の抵抗ヒューズネットワーク回路に組み込めることなどの利点を有

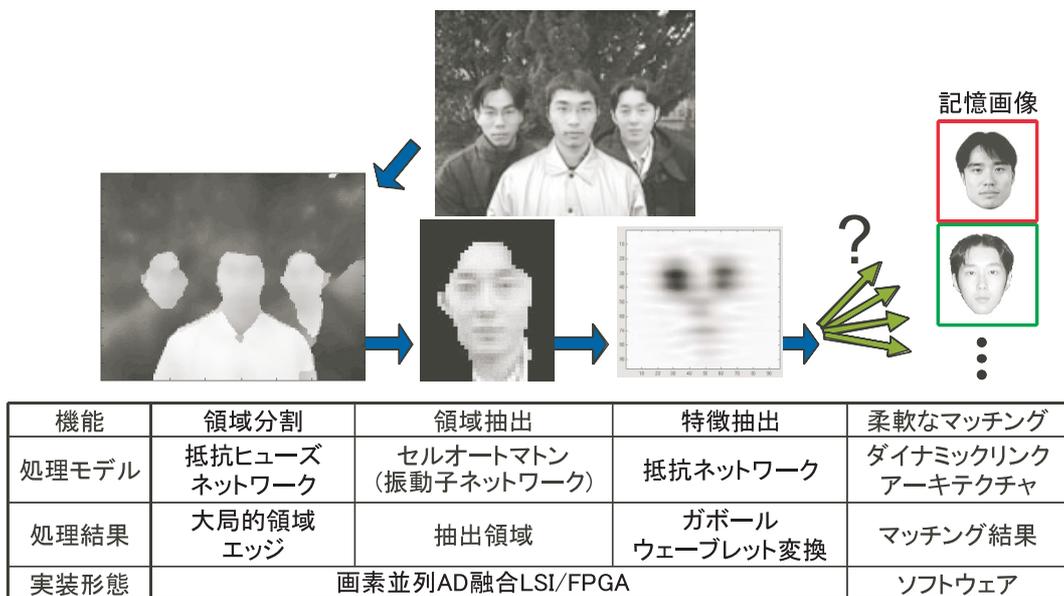


図 1: 自然画像からの顔認識処理

している。この回路を FPGA に組み込んだ例と併せて、これを第 4 節で述べる。なお、提案回路はマイクロ秒オーダの高速領域抽出を実現するが、我々の認識システムでは大局的領域分割を行った後は領域の数は数個程度であるので、領域抽出には多くの処理時間を要しない。したがって、本研究で開発した顔認識システムには本回路を組み込まず、要素技術としての成果とした。

抽出した領域を認識するための特徴抽出については、人の視覚系の機能の一部を模擬したガボール・ウェーブレット変換を採用する。この変換は照明の変化などの影響を受けにくく、優れた特徴量として知られているが、膨大な演算量を必要とするため、これまで実用的な認識システムに採用された例はわずかしかなかった [13, 14]。そこで、このタイプの変換をハードウェア的に実行するために、2 層の抵抗ネットワーク上でのアナログダイナミクスを用いて計算する回路が提案されている [15, 16]。しかし、我々が検討した結果、すでに提案されている方式には実際の使用に際して問題があることがわかった。それを改良する方式を考案した。改良方式はダイナミクスの制御性が重要であることから、アナログ方式での実現は難しい。我々は、抵抗ヒューズネットワークと同様に、制御性が高く、かつ回路規模が小さいため画素並列処理

が可能な AD 融合方式の回路を設計した [5]。これを第 5 節で述べる。

ガボールウェーブレット特徴量を用いて認識を行うモデルとして、ダイナミック・リンク・アーキテクチャ (DLA) を採用する [17, 18]。これは局所の特徴のサンプリング点を最適化して歪みを吸収するマッチング法であり、物体の方向、変形に柔軟に対処でき、数多くある認識法の中でも最も精度の高い方法の一つとして知られている。また、商品化された認識システムにも採用されており、その評価は確立している [13, 14]。そのため、本研究ではこの認識アルゴリズム自体には深く立ち入らず、領域分割・抽出、特徴抽出の性能確認のためのシステム化の一環として、ソフトウェア実装により実現した。(認識アルゴリズムの LSI 化は今後の課題である)。顔・物体認識を行うシステムを、カメラと FPGA ボードを搭載した PC を用いて開発した。これを第 6 節で述べる。

### 3 大局的領域分割のための抵抗ヒューズネットワーク

#### 3.1 抵抗ヒューズネットワークモデル

抵抗ヒューズネットワークは特性可変の非線形抵抗と電圧源からなるアナログネットワーク

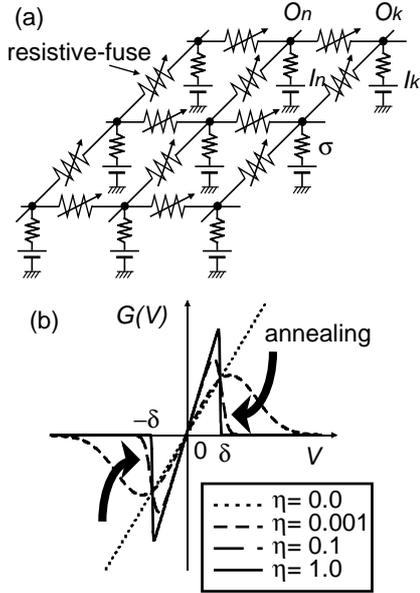


図 2: 抵抗ヒューズネットワークモデル

モデルであり、元々、画像のエッジ情報を保存しながらノイズを除去することにより画像の再構成を行う画素並列処理モデルとして提案された [19]。我々はこれを微小な領域をノイズとみなして除去し、画像を大域的な領域に分割する処理に適用した。

抵抗ヒューズネットワークはアナログ回路での実現が自然なことから、いくつかのアナログ抵抗ヒューズネットワークチップが提案されてきた [20, 21]。しかし、アナログ方式では、非線形特性を自由に制御することが難しく、大規模ネットワークでの制御も難しい。そこで我々は、パルス変調を用いた方式を提案した [22]。

アナログ回路で構成した抵抗ヒューズネットワークを図 2(a) に示す。ここで、各画素の輝度に比例した値を  $I_n$  に与え、ノード電圧  $O_n$  を処理結果とする。

このネットワークは以下の関数  $E$  が最小になるように安定化する。

$$E = \sum_n \sum_{k \in N_n} \int_0^{O_n - O_k} G(V) dV + \frac{\sigma}{2} \sum_n (O_n - I_n)^2 \quad (1)$$

ここで、 $\sigma$  は定数 (抵抗のコンダクタンス) であり、 $N_n$  は画素  $n$  の隣接画素の集合を表す。  $G(\cdot)$  は図 2(b) に示すような抵抗ヒューズの I-V 特性

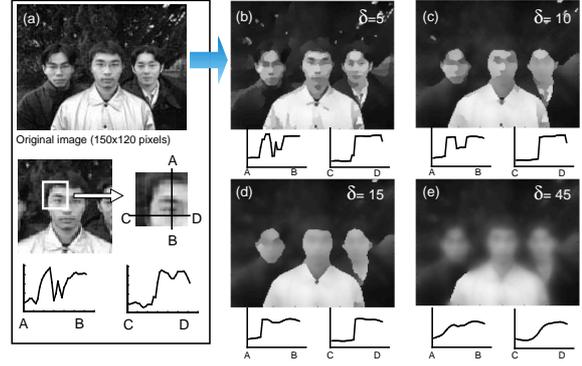


図 3: 抵抗ヒューズネットワークによる画像の大域的領域分割

である。これは

$$G(V) = \left[ \frac{1}{1 + \exp(-2\eta(\delta^2 - V^2))} \right] \frac{V}{R} \quad (2)$$

と与えられる。ここで、 $\eta, \delta$  および  $R$  は定数である。

この抵抗ヒューズ素子は  $\eta = 0$  の時は線形抵抗になるが、 $\eta = 1$  の時にはほぼ完全な「抵抗ヒューズ」となる。すなわち、 $|O_n - O_k| > \delta$  で隣接セルとの結合が切れてしまい、エッジ検出ができるが、 $|O_n - O_k| \leq \delta$  のときは線形抵抗となり平滑化処理が行われる。したがって、細かい領域を平滑化しながら、大まかな領域の間をエッジとして切り出すことができる。図 3 に実画像を用いた処理結果を示す。パラメータを適当な値に設定すると、同図 (d) に示すように顔領域の内部を平滑化して切り出すことができる。

この抵抗ヒューズネットワークの動作を、パルス幅を用いた離散時間ダイナミクスにより模擬する。すなわち、以下の最急降下法で  $E$  の極小値を求める。

$$O_n(t+1) = O_n(t) - v \frac{\partial E}{\partial O_n}, \quad \frac{\partial E}{\partial O_n} = \sum_{k \in N_n} G(O_n - O_k) + \sigma(O_n - I_n) \quad (3)$$

ここで、 $v$  は定数である。この式 (3) の右辺はノード  $n$  から流れ出る電流を計算していることに他ならない。なお、ローカルミニマムに陥るのを避けるために、 $G(\cdot)$  の形を変えながらアニーリングを実行する。すなわち、図 2(b) に

示すように、ゆっくりと $\eta$ を増加させていくことにより、大局的な領域分割が実現できる。

### 3.2 AD融合方式抵抗ヒューズネットワーク回路の考案・設計・評価

#### 3.2.1 PWM方式画素回路

抵抗ヒューズネットワークならびに後述のガポール型フィルタ用抵抗ネットワークなどにおいては、各画素単位で輝度に相当する入力値および隣接画素の状態値と画素自身の状態値との差を計算し、適当な関数変換（抵抗ヒューズ型の非線形関数変換または単純な線形変換）の結果に従って状態値を更新する処理を繰り返す。この処理をPWM方式で実行する画素回路を設計した[22]。画素回路の概略とタイミング図を図4に示す。

**PWM減算回路（SUB）** 二つの入力電圧の差を計算しPWM信号として出力する減算回路（図4中のSUB回路）を考案・設計した。減算回路としては、まず電圧をPWM信号に変換して、PWM信号の排他的論理和（XOR）を取ることにより実現する簡易な方式があるが、本節では次段にPWM信号による非線形変換処理があるために、同一タイミングで立ち上がるPWM信号の生成が必要なため、電圧入力の減算回路を考案した。（PWM入力・PWM出力の減算回路は第5.4節で述べる）。

まず、画素の輝度値に相当する電圧をキャパシタ $C_{in}$ に蓄えておく。減算回路SUBはアナログ入力電圧 $in_1$ と $in_2$ の差分に相当するPWM信号を出力する回路である。SUBはまず $in_1$ と $in_2$ の大小関係を判定して符号ビット $Sign$ を出力し、次に、 $|in_1 - in_2|$ に相当するパルス幅を有するPWM信号を $Diff$ から出力する。その結果を基に、この回路の状態を記憶しているキャパシタ $C_{On}$ の電荷を更新する。回路動作を以下に詳細に説明する。

- (1) セレクタ $SEL$ が計算すべき一对の信号の組を選択し、それを $in_1$ および $in_2$ とする。
- (2) 期間 $T_1$ では、スイッチ $S_{sigrst}$ を一時的にオンしてラッチ回路 $Latch$ をリセットすることにより $Sign$ が“High”となり、そ

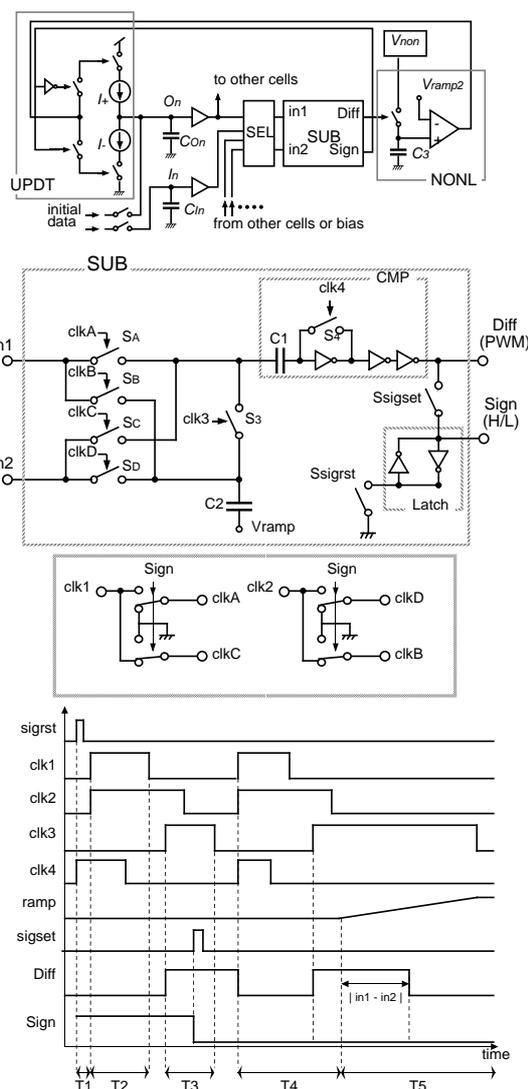


図4: PWM画素回路とタイミング図(処理シーケンスは $in_1 < in_2$ の場合)

の結果 $clk_A$ に $clk_1$ の信号が、 $clk_D$ に $clk_2$ の信号がそれぞれ現れる。また、スイッチ $S_4$ をオンさせてコンパレータをリセットする。

- (3) 期間 $T_2$ では、スイッチ $S_A$ および $S_D$ がオンし、キャパシタ $C_1, C_2$ にそれぞれ $in_1, in_2$ の電位をセットする。その後、スイッチ $S_4$ および $S_A$ をオフする。
- (4) 期間 $T_3$ では、最初にスイッチ $S_3$ をオンして $C_1$ と $C_2$ を直列接続し、コンパレータ $CMP$ の出力ノードの電位により、 $in_1$ と $in_2$ のどちらの電位が高いかを判定する。すなわち、 $in_1 > in_2$ ならば $Diff = \text{“High”}$ であり、 $Sign$ の値はリセット時から変化しない。逆の場合は $Sign$ が反転する。そ

- の判定結果を  $S_{sigset}$  をオンすることにより取り込み、ラッチ回路 *Latch* で保持する。
- (5) 期間  $T_4$  では *Sign* により設定されたパスで  $T_2$  および  $T_3$  と同様の動作が繰り返される。
  - (6) 期間  $T_5$  では  $C_2$  の下の端子にランプ波形  $V_{ramp}$  を入力することにより、 $C_1$  と  $C_2$  に蓄えられた 2 つのアナログ電圧の差分に相当する PWM 信号を *Diff* に出力する。
  - (7) *Sign* 信号で決定した充放電の向きにしたがって、電流源  $I_+$  または  $I_-$  が PWM 信号の時間だけ ON され、キャパシタ  $C_{On}$  の電圧値が更新される。

**PWM 任意非線形変換回路 (NONL)** 図 4 中の NONL 回路は、任意の非線形電圧波形  $V_{non}(t)$  を PWM 信号でサンプル・ホールドすることで実現する任意関数変換である。

時間領域で任意の電圧波形  $F(t)$  を有する参照電圧  $V_{non}$  がスイッチを介してキャパシタ  $C_3$  に供給されている。スイッチはパルス幅  $W_{in}$  を有する入力 PWM 信号により制御される。ここで、入力 PWM 信号の立ち上がりで  $V_{non} = F(0)$  とする。スイッチはパルス幅の期間で導通する。PWM パルスの立ち下がりですwitchが開くと、キャパシタの端子電圧  $V_{C3}$  は  $F(W_{in})$  に等しくなり、これを保持する。電圧  $V_{C3}$  はコンパレータにより線形に変化する参照ランプ電圧  $V_{ramp2}$  と比較され、電圧に比例したパルス幅  $W_{out}$  を有する出力 PWM 信号が生成される。結局、 $W_{out} = F(W_{in})$  が成り立ち、非線形参照電圧波形に対応した非線形関数で入出力 PWM パルスのパルス幅が変換される。

この方法が有用なのは、任意のアナログ入出力関数を作り出すのが難しいのに対し、時間の関数としての電圧波形  $F(t)$  を作り出すのが容易なことによる。それはさまざまなアナログ発振回路で作り出すこともできるし、デジタル回路でルックアップテーブル法や関数生成法によりデジタル波形を作り出し、それを D/A 変換器によりアナログ波形にすることも実現できる。このデジタル方式の場合、任意の非線形波形を高い精度で生成でき、リアルタイムで波形を変更することもできる。これは非線形ダイナミクスを任意にリアルタイムで変更出来ることを意

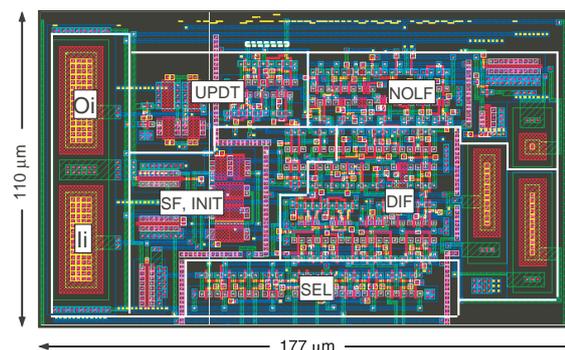


図 5: PWM 画素回路のセルレイアウト図

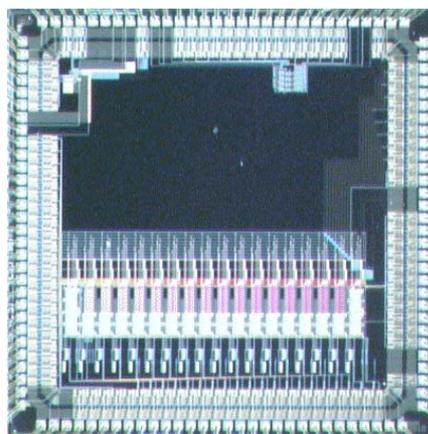


図 6: 1次元抵抗ヒューズネットワーク LSI のチップ写真 (0.6μm CMOS, チップサイズ: 4.6mm 角)

味する。アナログ波形生成器は多くの PWM 回路で共通に用いることができるので、システム全体に対する波形生成のオーバーヘッドはわずかなものにできる。したがって、この方式は大規模な並列動作型非線形変換回路の実現に適した方法である。

本回路の場合、電圧波形  $F(t)$  として図 2(b) に示した抵抗ヒューズ特性を与えることで、抵抗ヒューズネットワーク動作を実現できる。

### 3.2.2 1次元抵抗ヒューズネットワーク LSI の設計と評価

PWM 画素回路を 0.6μm CMOS 技術を用いて設計し、VDEC のサービス (ローム) で試作した。相当画素数は 20 である。画素回路のレイアウト図とチップ写真を図 5 および 6 に示す。

この試作チップを用いて抵抗ヒューズネットワークを構成した場合の測定結果を図 7 に示

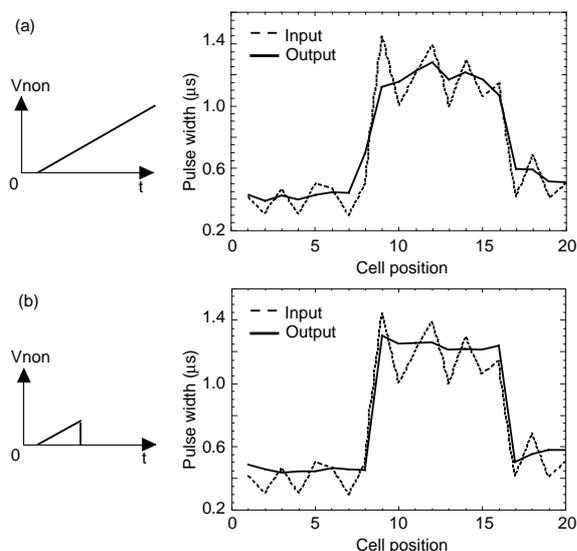


図 7: 抵抗ヒューズネットワーク LSI の測定結果

す。線形抵抗ネットワークでの結果（同図 (a)）が全体を平滑化しているのに対し，抵抗ヒューズネットワークの結果（同図 (b)）ではエッジを保存しながら細かいノイズを除去できているのがわかる。これらは更新を 30 回行った結果である。1 回の更新は式 (3) より 3 項（両隣りのセルと自分自身）より成り，各項の更新に  $2.8\mu\text{s}$  要したので，合計約  $250\mu\text{s}$  で計算が終了している。これを 2 次元画像に適用した場合は 5 項（上下左右のセルと自分自身）の計算が必要で，アニーリングを少なくとも 3 回行う必要があるので，処理時間は約 1.3ms となる。

以上の結果より，試作チップで我々の回路が正しく動作していることを確認した。

### 3.3 デジタル方式抵抗ヒューズネットワーク回路

本節では，抵抗ヒューズネットワークを，よりハードウェア化が容易なデジタル回路で実現した結果について述べる [23]。本回路アーキテクチャは，状態更新時の演算精度を入力画像のビット精度よりもビットシフトにより高くすることで更新に必要な演算精度を確保し，入力画像のビット精度を下げる事ができる。これによって，入力画像を保存するメモリと非線形変換を実行するための LUT(Look-Up Table) の容量を削減することができる。また，LUT の内容を変更することで，エッジ強調などの画像処

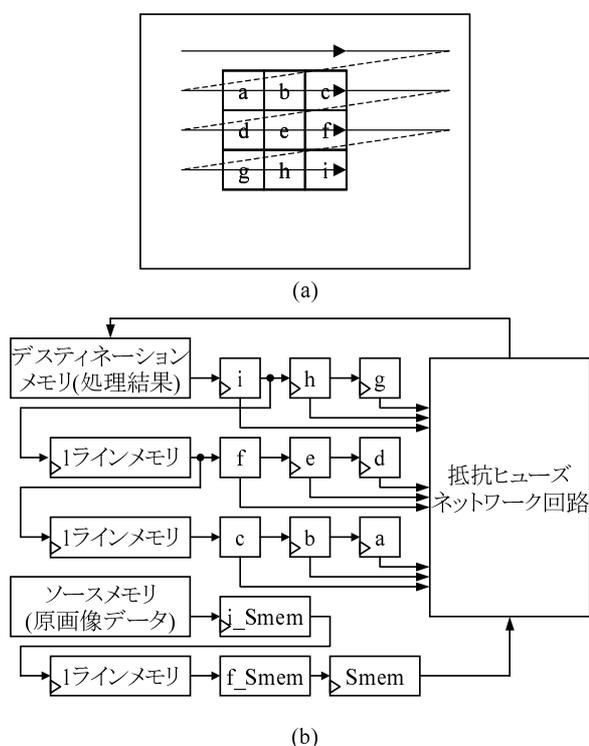


図 8: 画像上での処理対象画素とメモリ配置；(a) 処理対象画素（画像全体の中の  $3 \times 3$  画素）とスキャン方向，(b) メモリ配置とデータの流れ（ $3 \times 3$  画素  $a \sim i$  および注目画素  $e$  と同座標のソースメモリの画素が同時に  $Smem$  に格納される）（抵抗ヒューズネットワーク回路は図 9 参照）

理も実行できる。このアーキテクチャに基づいて，抵抗ヒューズネットワーク回路を FPGA に実装した。

#### 3.3.1 抵抗ヒューズネットワーク処理のためのデジタル回路アーキテクチャ

式 (3) に示された処理を画素単位で計算していくデジタル回路を設計した。図 8 に，画像上での処理対象画素とメモリ配置を示す。処理は図 8(a) のように画像の左上から右下へと進む。

図 8(b) に画素データを記憶するメモリの配置とデータの流れを示す。ソースメモリは原画像データ  $I_i$  に，デスティネーションメモリは処理結果  $O_i$  に対応する。ソースメモリ，デスティネーションメモリから画素データを 1 個ずつ順番に取り出し，処理していく。なお，初期状態では，ソースメモリ，デスティネーションメモリに原画像データを格納する。

図 9 に， $a \sim i$  および  $Smem$  に対する抵抗ヒ

ューズネットワーク処理のためのブロック図を示す。 $a \sim i$  および  $Smem$  の画素値はクロックごとに変化するので、クロック周波数を上げるために処理をパイプライン化している。注目画素  $e$  の更新結果を得るまでのクロック数はレジスタの段数で決まり、図より7クロックである。処理内容としては、まず注目画素  $e$  とその他の画素  $a, b, c, d, f, g, h, i, Smem$  との差分に応じた更新量を求める。すなわち、差分の絶対値をアドレスとしてLUTから更新量の絶対値を読み出し、それと差分の符号を用いて符号付きの更新量に変換する。LUTには抵抗ヒューズの特性3種類が格納されており、セクタによりアニーリングの過程に応じたLUTを選択する。得られた更新量を順次加算し、最終的な更新結果を得る。結果をデスティネーションメモリに格納する。以上の処理を画像全体に対して更新回数だけ繰り返す。

なお、図9中の矩形の左下に>記号の付いたブロックは、その出力がクロックに同期していることを示す。また>記号の付いていないブロックは組み合わせ回路であり、その出力がクロックに同期しないことを示している。縦の関係で同位置にある>付きブロックは同時刻で動作し、各処理が平行に進行しタイミング調整をしながら処理結果を得る。

図9中に示すように本回路方式では、ビットシフトにより更新処理時の計算精度を高めることで、入力データの演算精度  $N$  を下げることができるため、ソースメモリおよびLUTの容量を削減することができる。ビットシフト量を  $M$  ビットとすると、演算精度を1ビット下げるとは、ソースメモリの容量を  $(N-1)/N$  倍に、デスティネーションメモリを  $(N+M-1)/(N+M)$  倍に、LUTの容量を1/2倍にすることを意味する。状態を保持しているデスティネーションメモリをビットシフトによりビット精度を  $N+M$  ビットにする。画素  $a \sim d, f \sim i$  を下位側に  $M$  ビットシフトした値で処理を行い更新量を求め、注目画素  $e$  を更新する。更新量は元の値(この場合、 $e$  の値)に対して小さいので、それに対応したビット精度が必要となるが、ここでは、元の値をビットシフトにより大きくしておくことで、見かけ上の演算精度を上げることができる。

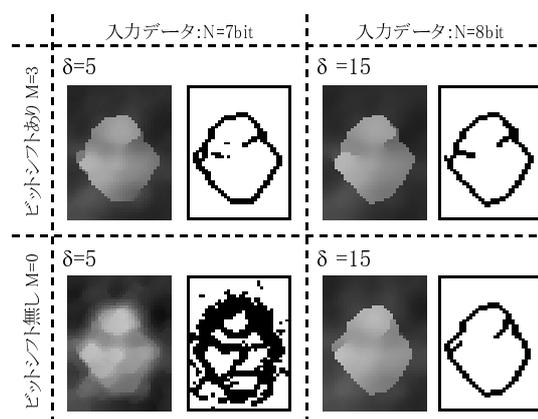


図 10: 領域分割の数値シミュレーション結果 ( $R_f = 30, \sigma = 4, k_f = 6, k = 5$ )

図10に入力データの演算精度  $N$  ビット、ビットシフト量  $M$  ビットをパラメータとして実画像を処理した結果を示す。ビットシフト無し ( $M=0$ ) の場合は  $N=8$  必要であるが、ビットシフトあり ( $M=3$ ) にすれば、 $N=7$  でも同様の性能を得ることができた。 $N=8, M=3$  のとき演算精度を1ビット下げると、全メモリ容量を14%削減することができる。また、更新処理結果を下位側に  $M$  ビットシフトして、デスティネーションメモリに保存する(デスティネーションメモリのビット幅を  $N$  にする)構成でも、同様の削除効果が得られた。その場合、デスティネーションメモリの容量も削減できるため、全メモリ容量を58%削減することができる。ただし、パラメータはそれぞれの構成で最適化する必要がある。

### 3.3.2 FPGA への実装とそれを用いたシステム化

上述の回路を、6.3節に示すPCIボードに搭載されたFPGA(Altera EP20K200EBC652-1X)に実装した。さらにこのPCIボードをPCに搭載し、カメラから取り込んだ画像を領域分割するシステムを実現した。処理時間としては、抵抗ヒューズネットワーク回路部分の処理だけで約20ミリ秒( $64 \times 64$ 画素)を要した。

図11にPC上での処理画面を示す。まず、カメラから取り込んだ画像(同図(a))を、抵抗ヒューズネットワーク回路が処理できる大きさに低解像度化している(同図(b))。その画像を抵

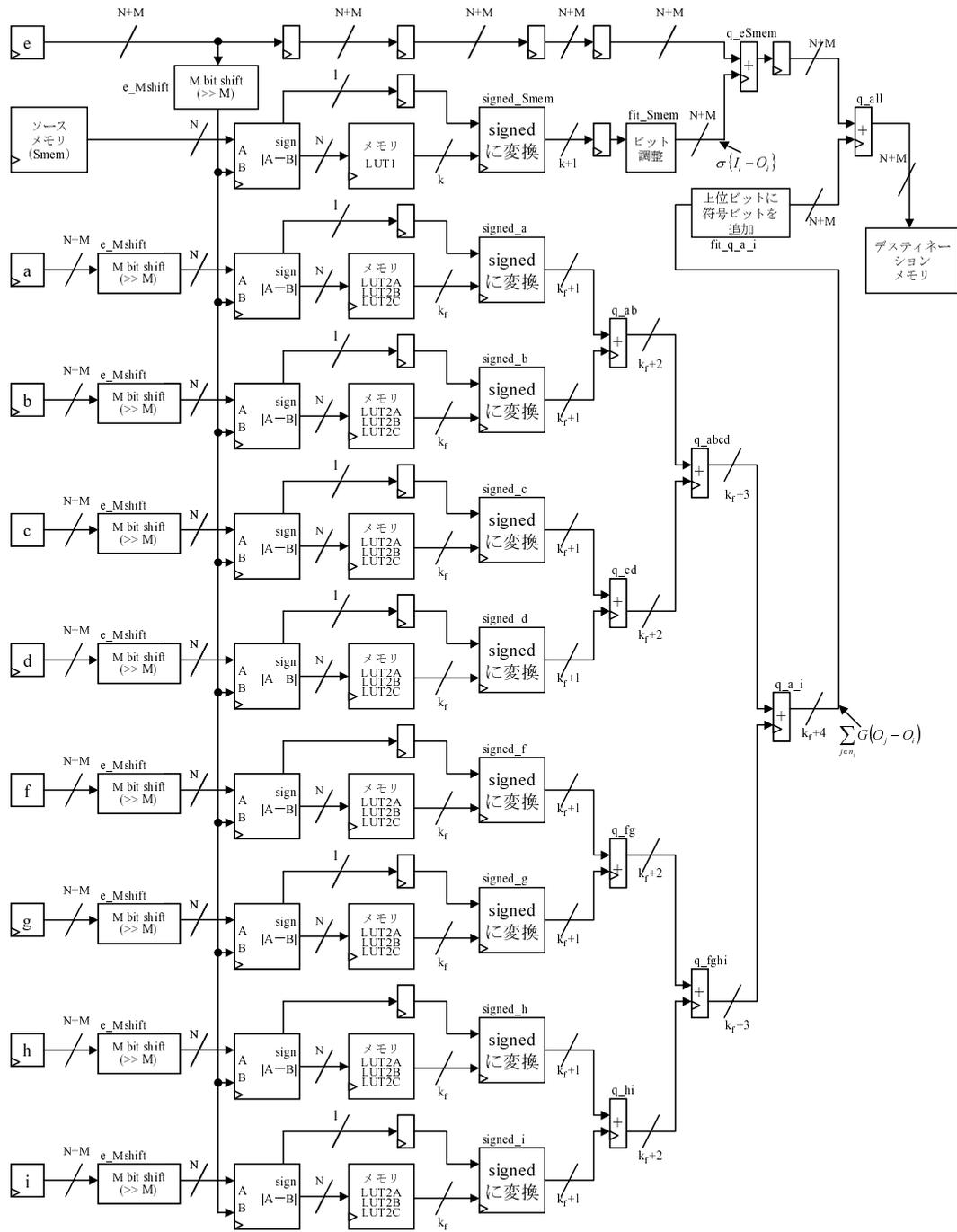


図9: デジタル方式抵抗ヒューズネットワーク回路

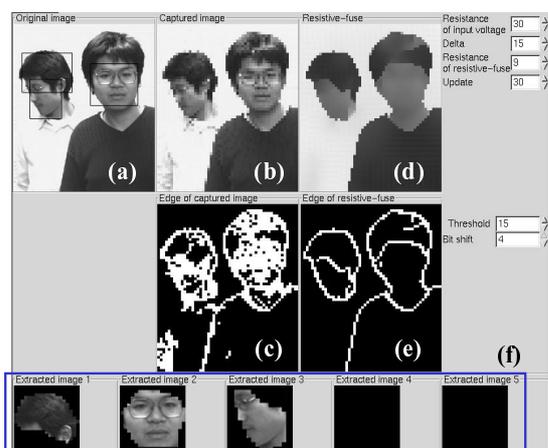


図 11: 実画像処理結果 : (a) カメラから取り込んだ画像 (216×256 画素), (b) 抵抗ヒューズネットワーク処理前の画像 (54×64 画素), (c) (b) のエッジ画像, (d) 抵抗ヒューズネットワーク処理後の画像, (e) (d) のエッジ画像, (f) (e) を用い, (a) から抽出した領域画像。

抗ヒューズネットワーク処理する (同図 (d))。同図 (c), (e) はそれぞれ同図 (b), (d) のエッジ画像である。抵抗ヒューズネットワーク処理を行うことで, 細かい領域を消去し, 大局的領域を得ることができている。同図 (f) は, エッジ情報 (同図 (e)) を用いて同図 (a) から抽出した画像の一部である。

## 4 領域抽出のためのセルオートマトンモデル

画像の分割抽出の一般的な手法として, エッジ情報を利用した「ラベリング」がよく用いられる [24]。この手法ではメモリ空間に画素位置に対応するラベリング結果を保持するので, 分割された領域を任意に処理することができるが, ラベル情報を保存するメモリが必要であることと, ラベル修正のために複数回の走査が必要であるために処理に時間がかかるという欠点がある。

抵抗ヒューズネットワークは大まかな領域分割を実現するが, 分割領域を抽出するための簡易で高速なアルゴリズムとコンパクトな回路を必要としていた。そこで, 本節では, 画像の領域分割後に得られるエッジ情報を利用し, エッジで囲まれた領域を画素並列で個別に抽出するアルゴリズムとそれを実現する回路構成を提案

表 1: フラグの意味

フラグ名	ON	OFF
f_error	エラー発生	正常処理中
f_end	処理終了	処理中
f_fire	発火領域拡大中	発火領域拡大終了

する。提案する画素回路は極めてコンパクトなので, 画像分割用画素回路内に組み込むことができるが, 今回は FPGA に実装した例を示し, 現状の FPGA による画素並列処理の可能性を示した [11, 12]。

### 4.1 領域抽出アルゴリズム

考案した領域抽出アルゴリズムを図 12 に示す。入力画像のサイズを  $y_{range} \times x_{range}$  画素とする。エッジ情報を初期値として配列 IR に格納する。配列 IR は各画素の状態を保持する配列である。各画素のとり得る状態は, 未発火・発火中・発火済の 3 状態とする。ある時点で発火した画素は, 次のタイミングで隣接の未発火画素を発火させるというセルオートマトン型アルゴリズムにより, 燎原の火のように領域を広げていく。

フラグの役割を表 1 に示す。アルゴリズムの説明を図 13 を用いて行う。

#### (1) 初期値設定

各画素に, エッジであれば「発火済」, そうでなければ「未発火」という状態を持たせる。画像端については, 隣接画素があるかどうか調べる処理を省略するため, 図 13(a) に示すように, 画像の縁をエッジとみなす。

#### (2) 発火開始点の設定

まず  $y$  方向に「未発火」の画素が存在する行を検出する。図 13(b) において  $x$  方向の線がその行を示す。その中で一番上の行を選択する。もしくは,  $y = 2$  から順に「未発火」の画素が存在する行を調べていってもよい。最初はエッジ以外すべて「未発火」なので図 13(b) の A の行が選択される。

その行を  $x$  方向に走査していき「未発火」の画素を検出する。検出された画素の状

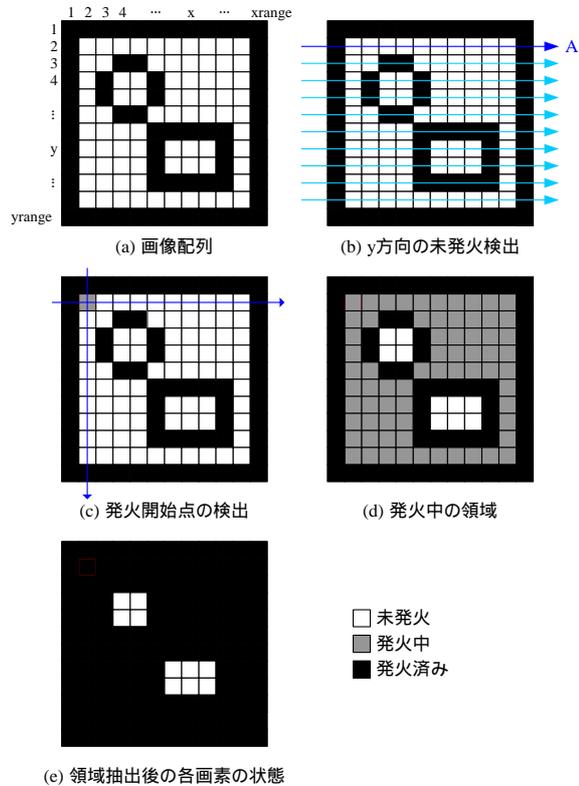
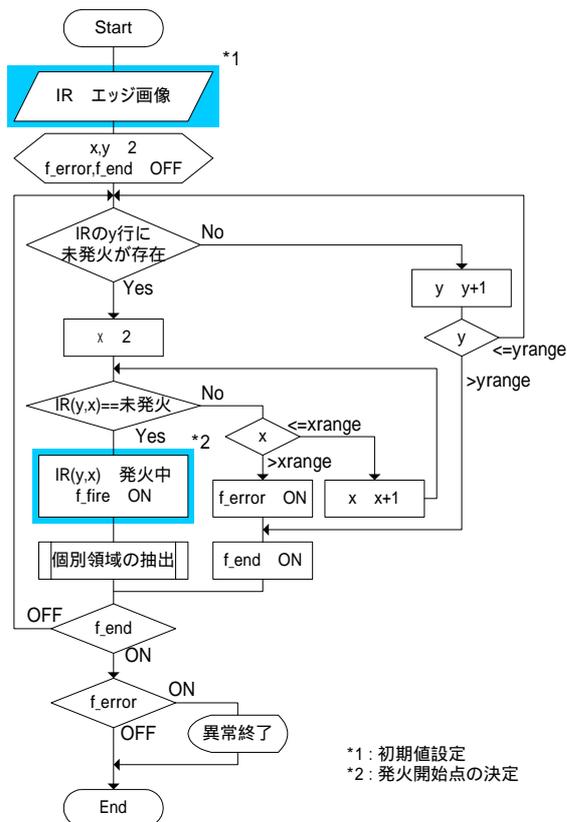


図 13: 領域抽出アルゴリズム

態を「発火中」に変更する(図 13(c))。これを「発火開始点」と呼ぶ。

(3) 発火過程

未発火の各画素に対し、隣接画素が発火していればその画素自身も発火するという処理を繰り返し、発火開始点を拠点に、発火領域を拡大していく。

(4) 発火過程終了判定

発火領域が広がらなくなった時点で、発火過程を終了する(図 13(d))。

(5) 発火領域の抽出

発火している領域情報を取り出し、画素の状態を「発火済」に変更する(図 13(e))。初回のプロセスでは背景が抽出される。

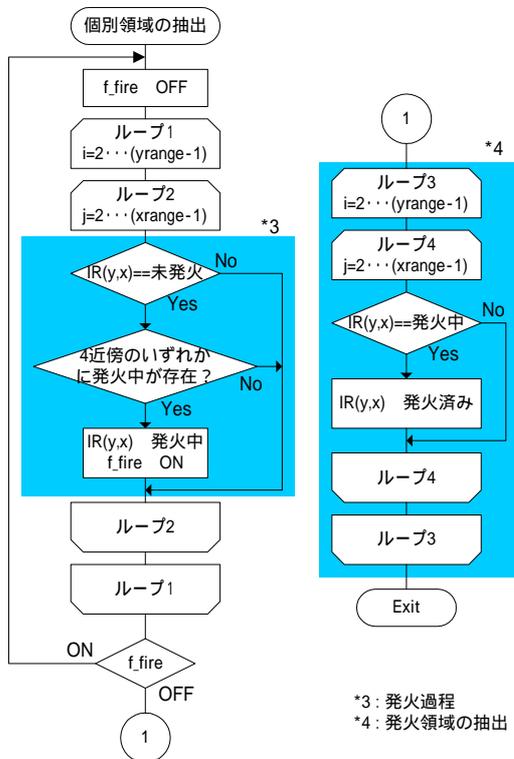


図 12: 領域抽出アルゴリズムの流れ図

4.2 数値シミュレーション結果

MATLAB を使い、 $150 \times 150$  画素の画像で数値シミュレーションを行った。発火領域の広がりが終了した時の各画素の状態を図 14 に示す。エッジ画像としては、抵抗ヒューズネットワークで処理されたものを用いた。図 14 より、エッジで囲まれた領域毎に順次発火しており、考案

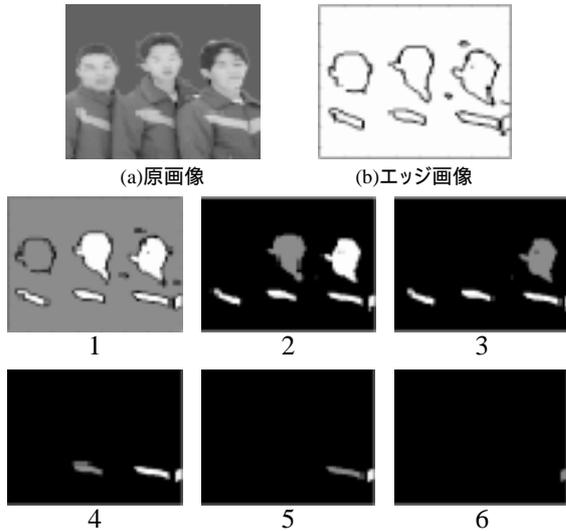


図 14: MATLAB を用いたシミュレーション結果 (白は「未発火」、灰色は「発火中」、黒は「発火済」を示す)

表 2: 各状態に対応するレジスタ値

画素の状態	$b1$	$b0$
未発火	0	1
発火中	1	1
発火済	0	0

したアルゴリズムにより領域抽出が実現できていることがわかる。なお、左端の人物ではエッジが途切れているために背景と同時に発火しているが、このような不具合はエッジ抽出の際に、膨張・収縮処理を施すことで解決できる。

### 4.3 領域抽出回路

4.1 節で提案したアルゴリズムを LSI 化するときの方針として、

- セルオートマトン型の画素並列で動作する、
- 1 画素毎に 1 回路モジュールを割り当てる、
- 各画素は 3 状態を取り得るので、2bit のレジスタ ( $b1, b0$ ) を用意する、
- 1 時刻前の  $b1$  状態を記憶するために 1bit レジスタ ( $b2$ ) を用意する

こととした。各画素回路が取る得る状態とその値を表 2 に示す。また、画素回路を図 15 に示す。

回路動作を以下に示す。

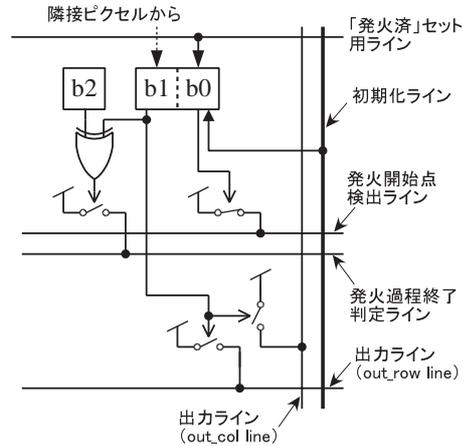


図 15: 領域抽出のためのデジタル画素回路

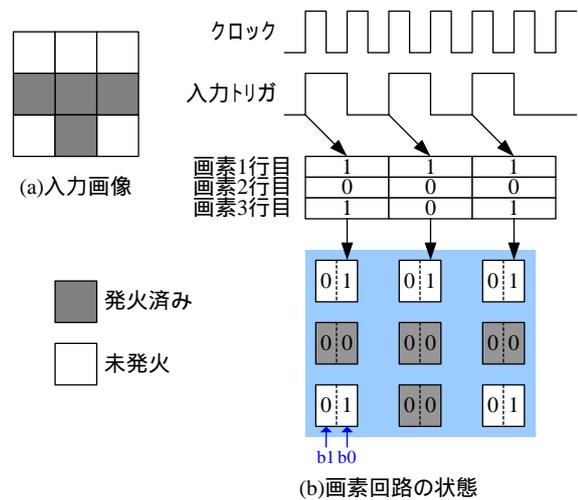


図 16: 初期値設定 (3×3pixel の場合)

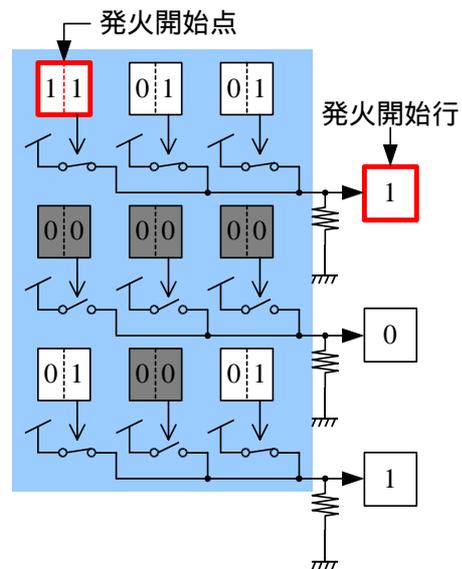


図 17: 発火開始点の決定 (3×3pixel の場合)

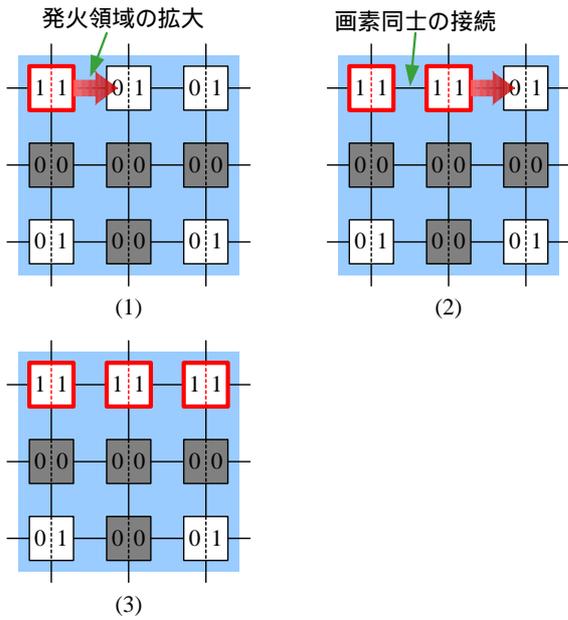


図 18: 発火過程 (3×3pixel の場合)

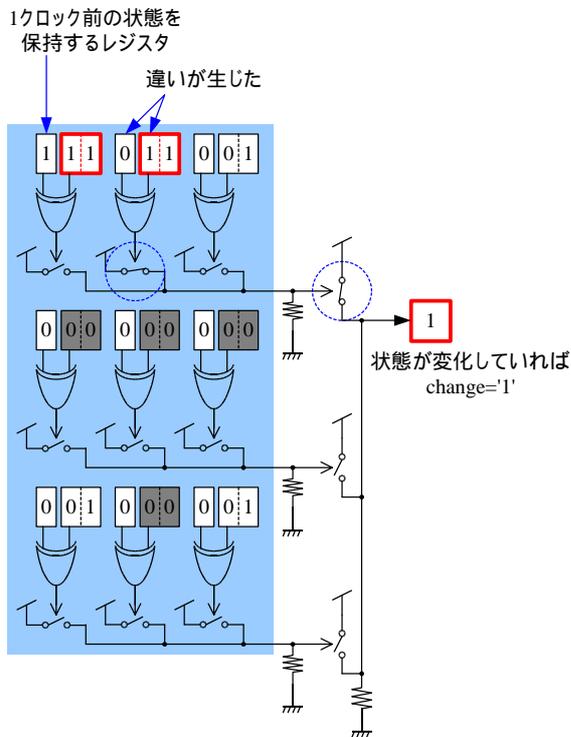


図 19: 発火過程終了判定 (3×3pixel の場合)

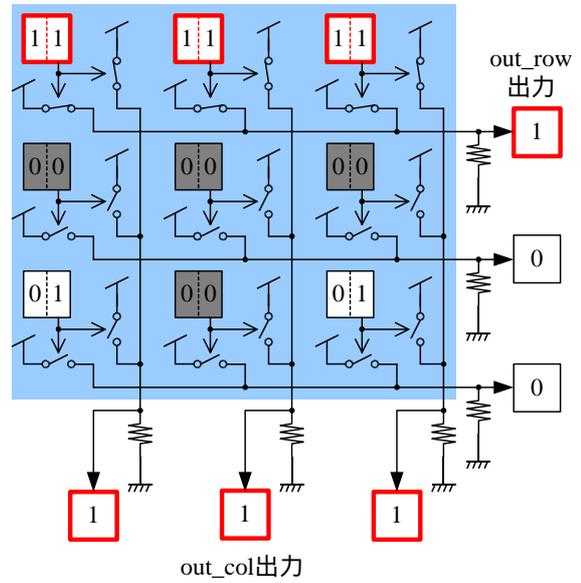


図 20: 発火領域の出力 (3×3pixel の場合)

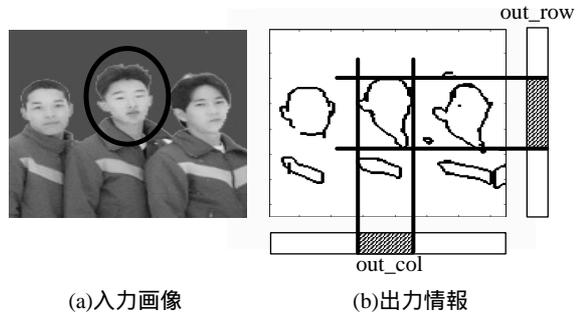


図 21: 出力情報

- (1) 初期値設定  
各画素のレジスタを未発火状態にセットした後、 $b_0$  ビットに初期値としてエッジ情報を与える。これは例えば、図 16 で示すように、行並列で設定する。
- (2) 発火開始点の決定  
図 17 に示すように、各画素回路の  $b_0$  ビットを用いて、未発火の画素を探索し発火開始点とする。まず、画素の  $b_0$  ビットを各行で OR 演算し、'1' になっている行を検出、次にその行の中で状態が未発火の画素を探し発火中に変更する。この OR 演算には各行のバスラインによるワイヤード OR が使えるので、行並列で高速に実行できる。
- (3) 発火過程  
各画素回路で隣接画素が発火していれば

その画素を発火させる(図 18)。この処理により、発火開始点を拠点に発火領域が広がっていく。

#### (4) 発火過程終了判定

現在の状態と1時刻前の状態で XOR 演算 ( $b2 \oplus b1$ ) を行い、行方向、列方向で OR 演算し、発火領域が拡大しているかどうかを調べる(図 19)。各行各列の OR 演算では「発火開始点の決定」で用いたバスラインを用いることもできる。

領域の拡大が起こっている間は(3)の処理を続ける。

#### (5) 発火領域の出力

発火領域の拡大が停止したことを確認すると、発火領域を出力し、発火中の画素の状態を発火済に変更する ( $b1, b0:1 \rightarrow 0$ ) (図 20)。

ここでは、発火中の画素を含む行と列の範囲を出力することとした。これは、例えば、図 21(a) の円で囲んだ人の顔を認識したい場合、図 21(b) の斜線で定義される領域を抽出すればよいからである。もちろん、行または列並列で厳密な抽出領域を取り出すことも可能である。

### 4.4 FPGA への実装と測定結果

FPGA は ALTERA 社 APEX シリーズ EP20K 400EFC-672-1X (ゲート数 400K) を用いた。クロック周波数は 25MHz とした。入力は、CLK, RST, 各画素の初期状態、および初期状態の入力のタイミングを与える *trigger* である。出力は、発火中であることを出力する *out\_firing*, 出力のタイミングを与える *out\_trigger*, および行と列の出力情報 *out\_row*, *out\_col* である。任意の画素数で回路が作れるように HDL のソースファイルを出力するプログラムを Perl で作成した。

30×30 画素相当の回路を FPGA に実装した。このとき、ロジックセルの使用量は 56% であった。内蔵のメモリは使用していない。

図 22(1) に示す 30×30 画素の画像を用いて測定を行った。結果を図 22(2) に示す。出力された領域は図 22(3) の斜線で定義される部分であり、発火領域を灰色で示している。発火してい

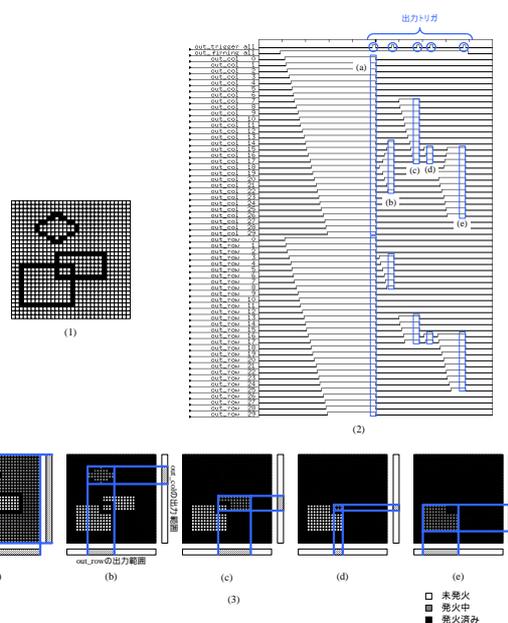


図 22: FPGA 実装結果, (1) エッジ情報, (2) 測定波形 (ロジックアナライザ出力), (3) 領域出力結果。測定波形の (a)-(e) は領域出力結果の (a)-(e) に対応している。

る領域が正しく出力されていることがわかる。処理時間は  $5\mu\text{sec}$  であった。25MHz で動作させているので 125 クロックで動作が完了していることになる。

画素数と処理時間の関係を見積もった結果を図 23 に示す。10×10 画素から 60×60 画素までの画面に 1~3 個程度の領域を設定したものをを用いて、機能シミュレーションを行い、25MHz での処理時間を求めた。その結果、画素数の平方根に比例した直線のグラフが得られた。この直線を外挿すると、100×100 画素では約  $15\mu\text{sec}$  がかかることが見積もれる。一般的な逐次処理型のラベリング処理では、処理時間は画素数に比例するので、画素並列方式により処理が大幅に(数 10 倍)高速化できることがわかる。ただし、処理時間は領域の数が多いほど長くなるので、この結果はほぼ最短の場合である。

### 4.5 提案アルゴリズム・回路の特徴と適用法

今回提案したアルゴリズムでは、一般的なラベリング法よりはるかに高速な処理が可能である。しかし、エッジ画像の中に非常に多くの領域があった場合、発火開始点の検索と発火領域

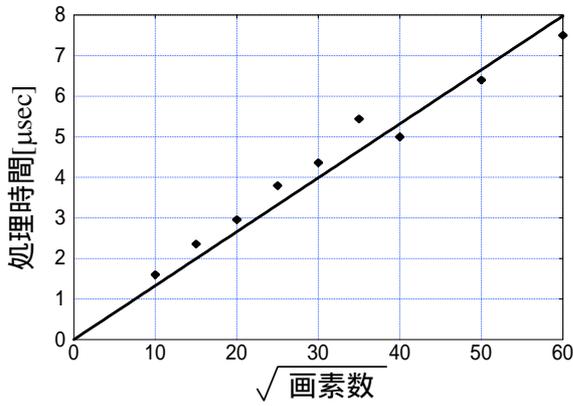


図 23: 画素数と処理時間との関係 (25MHz 動作時)

の出力の回数が増え、高速化が期待できない。したがって、このアルゴリズムでは画素数の大きな画像で少数の大きな領域が存在するときに、特に高速化が期待できる。また、領域が逐次的に抽出されてくるという特徴は、後段に個別領域の認識処理などを組み合わせる場合に適している。

提案した回路は 1 画素当たり 3 ビットの情報保持がよく、隣接結合と共通の行/列バスラインで構成されるので、極めてコンパクトである。以上のことから、この回路は画素並列型の領域分割/エッジ抽出回路(抵抗ヒューズネットワーク)に組み込むと効果的である。

一方、前節で示した FPGA での実装結果によると、現状では大きな画素数での FPGA 実装は難しいように思える。しかし、内蔵メモリを有効に利用するなどの設計の最適化、FPGA のアーキテクチャへの依存性などを検討することにより更なる高密度化が狙える可能性がある。また、高速認識用として 100×100 画素以下でも実用的な用途は考えられる。

## 5 特徴抽出のためのガボールフィルタ

### 5.1 抵抗ネットワーク方式ガボール型フィルタ回路

すでに提案されている抵抗ネットワークによる 2 次元ガボール型フィルタの原理と回路実現法 [15, 16] を概説し、我々の AD 融合方式での

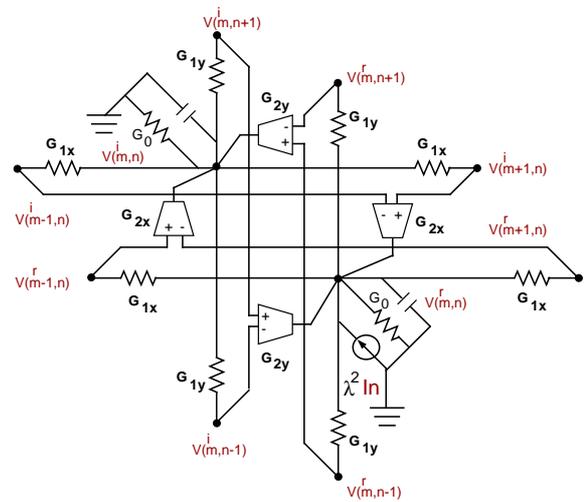


図 24: 2 次元アナログセルラーニューラルネットワーク方式ガボール型ウェーブレット変換回路 (1 画素相当)

実現法について述べる。

ガボールウェーブレット変換は、入力 (画素の輝度値) とカーネル関数:

$$\Psi_{\vec{\omega}_0}(\vec{x}) = \frac{1}{2\sqrt{\pi}\sigma} \exp\left(-\frac{\vec{\omega}_0^2 \vec{x}^2}{\sigma^2} + j\vec{\omega}_0 \vec{x}\right) \quad (4)$$

との畳み込みにより局所的 (空間) 周波数を抽出する。ここで、 $\vec{\omega}_0$  は  $\Psi_{\vec{\omega}_0}$  の周波数と方向を決めるパラメータである。この変換が特徴抽出に有効なのは、空間および周波数の両領域において  $\Psi$  の広がりが最小になるからである。

しかし、窓関数としてガウス関数を用いたガボール変換は計算の効率化がしにくく、畳み込みをそのまま計算すると膨大な演算量になってしまう。そこで、窓関数を指数関数に置き換えて、セルラーニューラルネットワークの理論を用いて、抵抗ネットワークにより構成されるアナログ回路上で計算させる方法が提案された [15, 16]。このようにガウス関数に似た関数を窓関数に用いる変換をガボール型ウェーブレット変換と呼ぶ。

ガボール型ウェーブレット変換を実行する 2 次元のアナログ回路を図 24 に示す [16]。抵抗ネットワークが指数関数的な特性を有するローパスフィルタ (平滑化フィルタ) として働くことはよく知られているが、これを 2 層にし、たすきがけの層間結合を持たせることにより、各層でガボール型変換の実部と虚部の出力をそれぞれ同時に得ることができる。ここで、入力は

電流源  $I_n$  であり，対応する出力は実部と虚部に相当する二つのノード電圧  $v^r(m,n), v^i(m,n)$  で得られる。この回路で実現される畳み込みカーネルは以下のように，指数関数で減衰する正弦波である。

$$h_{\vec{\omega}_0}(\vec{x}) = \frac{\lambda}{2} \exp(-\lambda|\vec{x}| + j\vec{\omega}_0\vec{x}) \quad (5)$$

ここで， $\lambda$  は減衰の定数である。これにより，空間周波数  $\omega_0$  の成分が局所的に抽出される。

我々の LSI 化のアプローチはこのアナログ回路をそのまま用いるのではなく，回路のダイナミクスを離散化して，パルス幅変調（PWM）方式を用いて，繰り返し計算により解を得る。PWM 方式は通常のアナログ方式に比べて定常状態に達するのに多くの時間を要するが，極めて高い制御性が得られる。またノイズにも強いいため高精度の演算が期待できる。これはアナログ値をパルス幅で表現し，ダイナミクスを数値的に解くからである。

電圧の更新式は以下のとおりである。

$$\begin{aligned} \Delta V^r(m,n) = & -G_0(V^r(m,n) - V_0) \\ & + G_{1x}(V^r(m-1,n) - V^r(m,n)) \\ & + G_{2x}(V^i(m-1,n) - V^i(m+1,n)) \\ & + G_{1x}(V^r(m+1,n) - V^r(m,n)) \\ & + G_{2y}(V^i(m,n+1) - V^i(m,n-1)) \\ & + G_{1y}(V^r(m,n-1) - V^r(m,n)) \\ & + G_{1y}(V^r(m,n+1) - V^r(m,n)) \\ & + \lambda^2(I(m,n) - V_0) \end{aligned} \quad (6)$$

$$\begin{aligned} \Delta V^i(m,n) = & -G_0(V^i(m,n) - V_0) \\ & + G_{1x}(V^i(m-1,n) - V^i(m,n)) \\ & + G_{2x}(V^r(m+1,n) - V^r(m-1,n)) \\ & + G_{1x}(V^i(m+1,n) - V^i(m,n)) \\ & + G_{2y}(V^r(m,n-1) - V^r(m,n+1)) \\ & + G_{1y}(V^i(m,n-1) - V^i(m,n)) \\ & + G_{1y}(V^i(m,n+1) - V^i(m,n)) \end{aligned} \quad (7)$$

ここで， $\lambda^2 = G_0 + 2G_{1x} + 2G_{1y} - 2(G_{1x}^2 + G_{2x}^2)^{1/2} - 2(G_{1y}^2 + G_{2y}^2)^{1/2}$ ， $G_{2x}/G_{1x} = \tan \omega_{0x}$ ， $G_{2y}/G_{1y} = \tan \omega_{0y}$  であり， $V_0$  は 0 に相当する電位を表す。

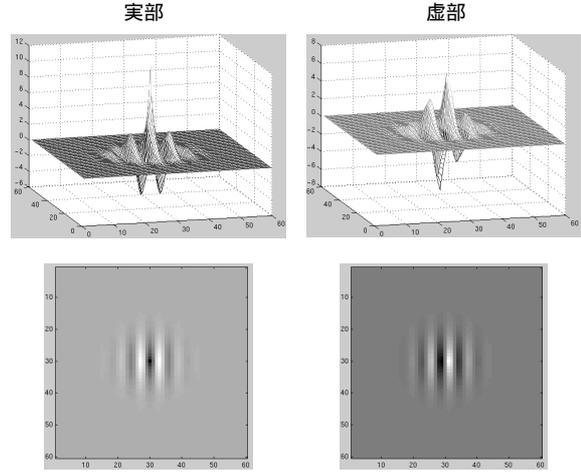


図 25: 2次元ガボール型ウェーブレット変換回路のインパルス応答

この回路の利点は， $\omega_0$  の  $x, y$  方向それぞれの成分 ( $\omega_{0x}, \omega_{0y}$ ) の比（すなわち，(6) および (7) 式の係数）を変えることにより任意の方向のガボール型変換が実行できる点にある。通常，顔認識などのためにガボール変換を行う場合，少なくとも 4 方向の変換が必要であるので，この特長の効果は大きい。

数値計算の結果得られたインパルス応答の例を図 25 に示す。

## 5.2 従来アルゴリズムの問題点と改良したダイナミック方式ガボール型フィルタ回路

上記のアルゴリズムは，しかしながら，実用的観点からは問題があることがわかった。そこで，下記のような考察のもとにモデルとアルゴリズムの改良を行い，より効率的で計算精度の向上が期待できる方式を考案した。

### 5.2.1 ダイナミック方式ガボール型フィルタ回路の提案

問題点とは，式 (5) に示すようなガボール型関数を得るためには，式 (6) において  $\lambda$  を含む最後の項の係数が他の項に比べて，その大きさを 1/100 程度にしなければならないという点である。これは浮動小数点が使えない数値計算では何の問題もないが，アナログ回路や AD 融合回路においてはこの割合で必要な精度（6～8 ビツ

ト)を保証することは困難である。

そこで、それほど $\lambda$ を含む項の係数が小さいのであれば、いっそのこと $\lambda=0$ とすることを考えた。項 $\lambda^2 I(m,n)$ は、回路を示す図24からも明らかなように、画素入力に相当する電流源の値を表しており、これは回路のダイナミクスから考えると、抵抗ネットワークを拡散していく電荷の供給源である。ネットワークは電荷の供給と拡散のバランスにより安定化した状態で解を得ている。この供給源を削除することは、ダイナミクス自体が存在しないことになり、かつ画素値を与える手段をなくすことになる。

ただし、ガボール型変換のカーネル形状(インパルス応答)を与えるのは $\lambda$ を含む項以外の部分、すなわち抵抗ネットワークの部分であり、必ずしも電流源は必須ではない。そこで、画素入力をノード $V^r(m,n)$ の初期電圧として与えることにした。これはこのノードの浮遊容量に与えられた初期電荷と考えても良い。抵抗ネットワーク中をこの初期電荷が拡散していくことにより、ガボール型カーネルを形成する。線形な回路であるから、画素入力値の重ね合わせで出力結果が得られることは従来法と同様である。この動作原理は、安定状態を求めるのではなく、ネットワーク動作の過渡的な状態を観測することにより解を得るので、ダイナミック方式と呼ぶことができる。

提案法の場合 $\lambda=0$ なので、式(5)ではカーネル関数を表現できず、カーネルの広がりや決定するのは拡散時間である。アナログ回路ではこの拡散時間を正確に制御することは困難であるが、我々のパルス変調方式は離散時間系なので時間の制御は更新回数で正確に行える。図26に示す数値シミュレーション結果では、カーネルの広がりを制御できることがわかる。

### 5.2.2 負性抵抗処理導入による振幅設定

しかし、考案した方法にはさらに問題があった。長周期のカーネル形状を得るためには長時間の拡散を行う必要があり、得られる信号電圧振幅が極めて小さくなるという問題である。

ここで、再び図24および式(6),(7)によると、カーネル形状を決めるのは、出力ノード間のコンダクタンス値( $G_{1x}, G_{1y}, G_{2x}, G_{2y}$ )のみであ

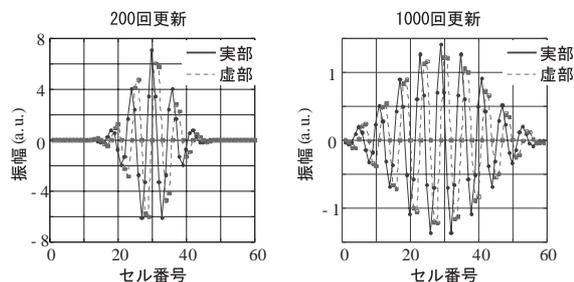


図 26: 抵抗ネットワークでの拡散過程により得られたガボール型インパルス応答の例

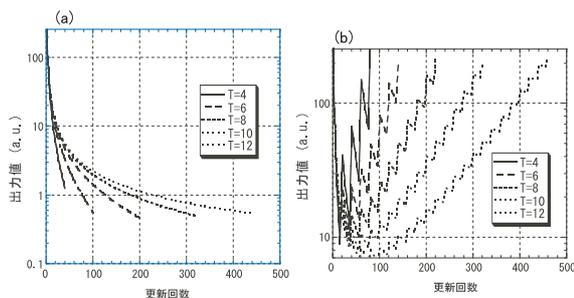


図 27: 出力ピーク値更新の変化。(a) $G_0$  固定の場合、(b) $G_0$  の符号反転を行った場合。

り、出力ノード-GND間の $G_0$ により振幅を制御できることがわかる。そこで、 $G_0$ の符号を反転すると(すなわち、 $G_0$ を負性抵抗にすると)、出力値は減衰する代わりに増加する。この特性を利用して、 $G_0$ の符号を適宜反転しながら状態更新を行うことにより、出力値を所望の値に設定することができる。出力振幅(インパルス応答のピーク値)について、 $G_0$ 固定の場合と、符号反転を行った場合の結果を図27に示す。また、図28にこの処理により得られたインパルス応答の例を示す。図に示した5周波数のインパルス応答は顔認識に必要とされるものであり、いずれもほぼ等しい振幅が得られていることから、高精度な顔認識に利用できることを示している。

### 5.3 AD融合方式ガボール型フィルタLSIの設計・評価

前節までに述べた回路構成を用いてガボール型フィルタLSIをVDEC(ローム)0.35 $\mu$ mCMOS技術を用いて設計した。本モデルでは抵抗ヒューズ特性のような非線形変換処理が不要なので、第3.2節で述べた画素回路(図4)のうち

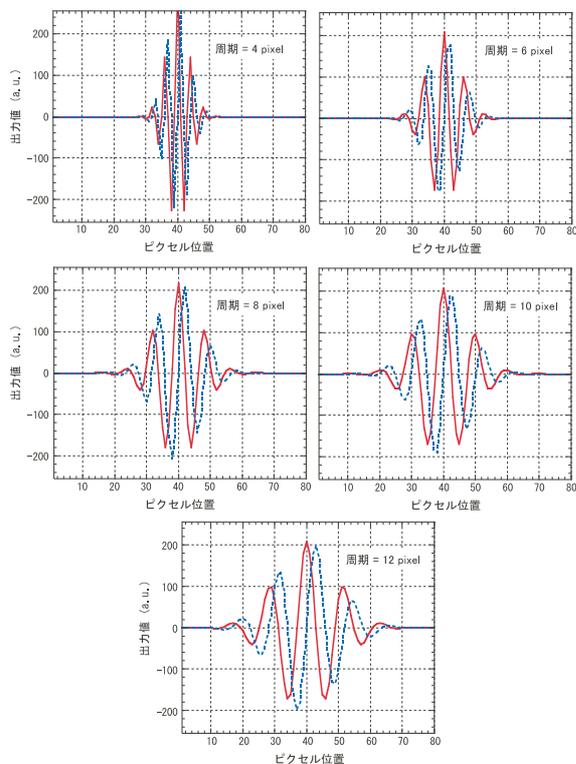


図 28: 新提案のアルゴリズムにより得られたガボール型インパルス応答 (顔認識に必要な 5 周波数)。入力は画素位置 40 に 255 の振幅で与えた。

非線形変換回路 (NONL) を削除した画素回路を設計した。画素回路のレイアウト図を図 29 に示す。ガボールフィルタでは実部・虚部それぞれの画素回路が必要なので、上下にほぼ対称なレイアウトとなっている。

VDEC を通して試作したチップを用いて画素回路の測定評価を行った。電源電圧は 3.3V とした。減算回路は、図 4 の  $in_2$  をパラメータとして固定し、 $in_1$  を変化させて測定した。測定結果を図 30 に示す。パルス幅の出力が最小となる点では、 $in_1 = in_2$  である。線形精度は 8.3bit であった。また、更新特性の測定結果を図 31 に示す。線形性は  $in_1 < in_2$  の場合で 5.6bit、逆の場合で 4.3bit であった。一部ばらつきが大きい箇所がある。これについては回路の改良を図るが、実動作上、更新を繰り返して安定状態に至るプロセスにはあまり影響しない。

次に、この画素回路を組み合わせせて  $12 \times 24$  画素の 2 次元ガボール型フィルタ回路を構成した。チップ写真を図 32 に示す。チップサイズは 4.9mm 角である。電源電圧 3.3V のときの消

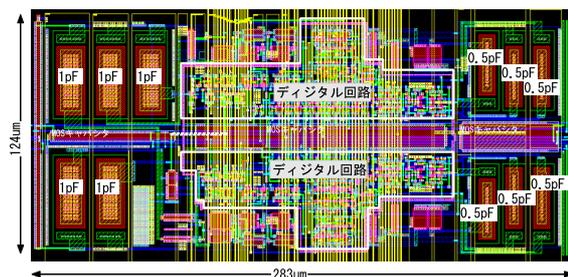


図 29: PWM 画素回路のレイアウト図

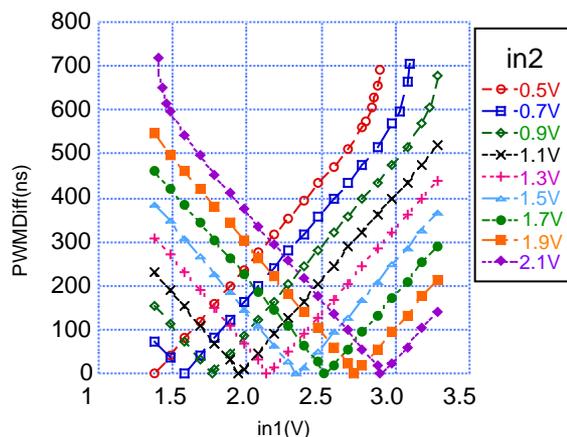


図 30: 減算回路の測定結果

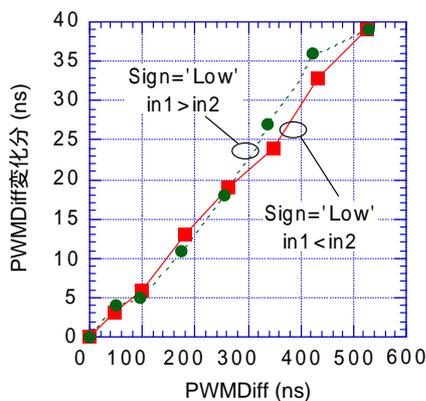


図 31: 更新特性の測定結果

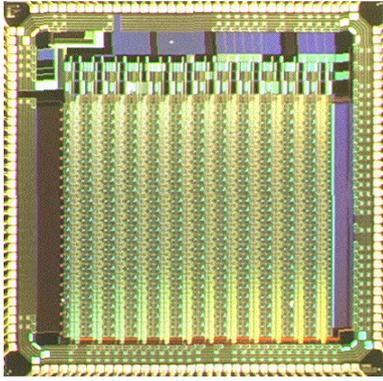


図 32: 2次元ガボール型フィルタ LSI のチップ写真 (0.35 $\mu\text{m}$  CMOS, チップサイズ: 4.9mm 角)

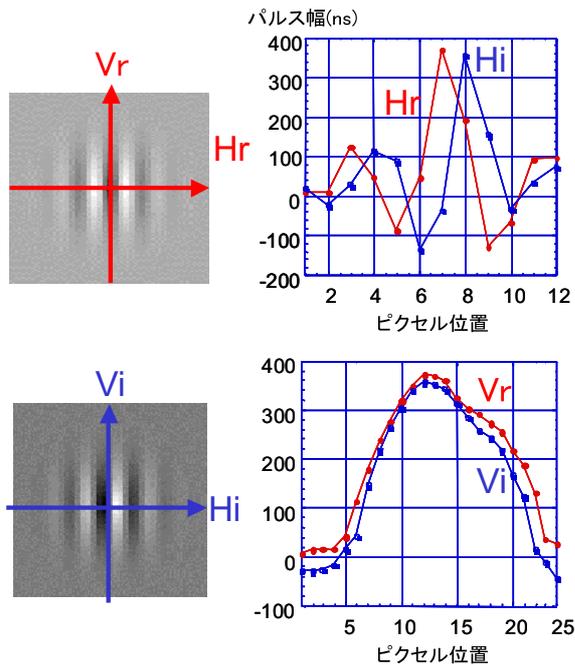


図 33: ガボール型フィルタ LSI の測定結果 (2次元インパルス応答の断面)。左に断面方向を示すための数値シミュレーション結果を添えた。

費電力は約 30mW であった。

ガボール型フィルタとしての測定結果を図 33 に示す。2次元のインパルス応答の1次元断面を示している。ほぼ正しいインパルス応答が得られた。これは周期 ( $= 2\pi/\omega_0$ ) が4画素の結果であり、処理時間は約 2ms (220cycle) である。なお、本測定では第 5.2 節で提案したダイナミック方式を適用したが、負性抵抗処理導入による改善は含まれていない。

以上の結果より、試作チップで我々の回路が正しく動作していることを確認した。

## 5.4 大規模ガボール型フィルタ LSI の設計

第 5.2 節で提案したアルゴリズムは更新回数の制御および  $G_0$  の反転 (通常抵抗・負性抵抗の切替) を必要とし、すでに述べたように従来のアナログ回路方式では実現が難しい。しかし、我々のパルス変調方式では実現が極めて容易である。抵抗ヒューズ特性のような非線形変換が不要であることから第 3.2 節で述べたような電圧入力の減算回路でなく、さらに簡単な減算回路を用いることができる。また、 $\lambda^2 I(m, n)$  の項を削除したことから、入力値を保持する回路ブロックを削除することができ、画素回路を小さくすることができる。

このアルゴリズムを実現する画素回路を図 34 に示す。抵抗ヒューズネットワーク用に設計された回路 (図 4) に比べて、かなり単純な構成である。係数  $G_0$  の反転は、電荷の充放電の向きを決定するスイッチを XOR 論理回路で切り替えるだけでよく、追加回路による面積増加はほとんどない。減算回路は二つの入力 PWM 信号  $in_1, in_2$  (それぞれパルス幅  $W_1, W_2$  を有する) に対し、その差分と符号を出力する。入力の差分  $|W_1 - W_2|$  がノード  $Diff$  に出力される。同時に  $W_1$  と  $W_2$  の大小関係と  $S\_REV$  から符号  $S$  が決まる。RS-FF にてラッチして、 $S\_REV$  により符号の反転が行える。図では  $W_1 < W_2$  なので  $S = 1$  となっている。

なお、画素値は  $V'$  に初期値として与えられるため、ガボール変換の計算毎に入力を与え直さなければならない。しかし、結果出力と同時に次の計算の入力を与えれば、処理時間の増加はほとんど発生しない。

0.35 $\mu\text{m}$  CMOS 技術により設計した LSI のレイアウト図を図 35 に示す。画素回路のサイズは  $131.2 \times 116.8 \mu\text{m}^2$  であり、図 29 の一次設計でのレイアウト結果に比べて約半分の面積にできた。これにより 9.8mm 角チップに  $61 \times 72$  画素を搭載した。シミュレーションでは顔認識に必要な 4 方向 5 周波数のガボール変換に要する演算時間は約 40 ms、消費電力は約 800 mW であった。

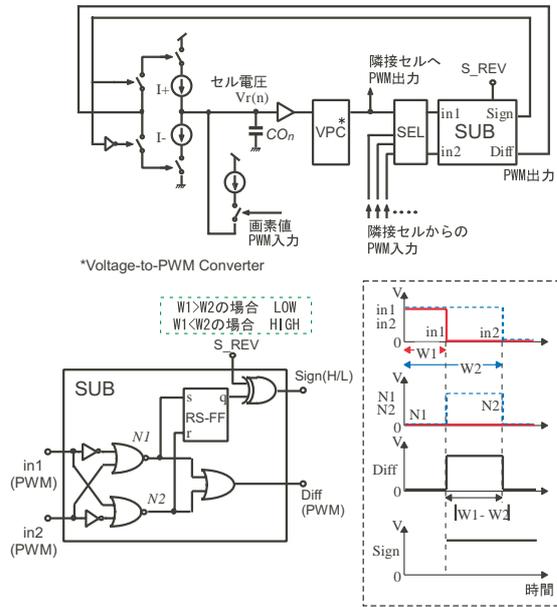


図 34: ダイナミック方式ガボール型フィルタの画素回路

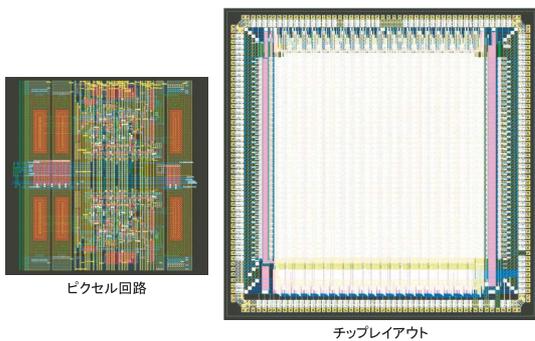


図 35: ダイナミック方式ガボール型フィルタ LSI レイアウト

## 6 顔・物体認識システム

### 6.1 ダイナミックリンクアーキテクチャ (DLA) によるマッチング

DLA では、記憶画像と入力画像のガボール特徴空間において、マッチングの対応点(格子点)を変化させて最適なマッチングポイントを探査する。このため、傾きや回転などの画像の変形に強いことが知られている [17, 18]。

図 36 に DLA の原理を示す。入力画像、記憶画像それぞれに同じ格子をおき、格子点をマッチングのサンプリング点とする。以下に示す評価関数  $E$  が小さくなる方向に対応するサンプリング点を移動する。

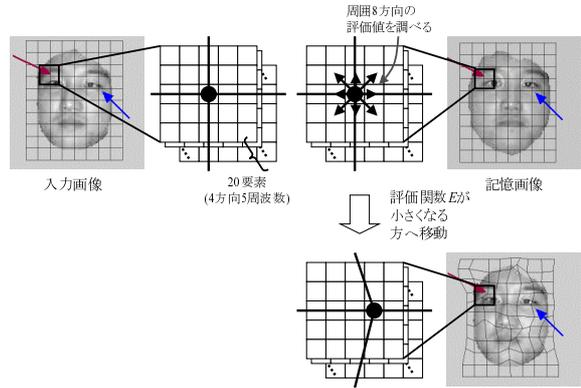


図 36: DLA によるマッチングの原理

$$E = \lambda E_e - E_v. \quad (8)$$

ここで、 $\lambda$  は定数であり、 $E_v$  はガボール特徴の一致度を測る項である：

$$E_v = \sum_{i \in N} \frac{\vec{J}_i^I \cdot \vec{J}_i^M}{\|\vec{J}_i^I\| \|\vec{J}_i^M\|}, \quad (9)$$

ここで  $N$  は格子点の集合であり、 $\vec{J}_i^I, \vec{J}_i^M$  は、それぞれ入力画像および記憶画像のガボール特徴ベクトルである。ここでは、 $N = 8 \times 8$  とし、4 方向、5 周波数のガボール特徴を用いるので、 $\vec{J}_i$  は 20 次元ベクトルとなる。

一方、 $E_e$  は格子点間の距離により格子の歪み具合を評価する項であり、以下のように定義される：

$$E_e = \sum_{i \in N} \sum_{j \in N_i} |V_{ij}^I - V_{ij}^M|^2, \quad (10)$$

ここで、 $N_i$  は格子点  $i$  の隣接した格子点の集合である。また、 $V_{ij}$  は格子点  $i$  と  $j$  との距離である。

したがって、 $E$  は格子点上での特徴量が似ているほど、かつ格子の歪みが小さいほど小さな値をもつ。格子の対応点を変化させながら、 $E$  が最小になる組み合わせを探査する。すべての記憶画像で評価関数  $E$  の値を求め、最も  $E$  が小さくなる画像を選び出すことで認識結果を得る。

以上のアルゴリズムをソフトウェア(C言語)により実装した。

## 6.2 システム概要

開発した顔認識システムは、PC、画像取り込みボード、FPGA搭載PCIボード、カメラで構成される。使用したPCの仕様は、CPU: Pentium 4 (1.8GHz)、メインメモリ: 1GBytes、OS: Vine Linux 2.1.5 である。

## 6.3 FPGA 搭載 PCI ボード

我々が開発中のAD融合方式LSIでは、画素の輝度値や演算結果をパルス幅変調(PWM)信号で表現する。この信号はクロック同期のデジタルカウンタを用いて、容易にデジタル信号と相互に変換することができる。また、動作に必要なアナログバイアス電圧および任意波形電圧は、D/A変換器によりデジタル的に制御できる。したがって、入出力制御を含めたチップ制御回路をデジタル方式で構成することが可能である。これらの回路は実用化レベルでは当然チップ内に組み込まなければならないが、研究段階では制御回路の仕様変更が容易なように外付けのFPGAチップを用いることとした。

そこで、我々が開発中のAD融合方式LSIを制御し、カメラからの画像取り込みやパソコンとのインタフェースを取るためのFPGAボードを開発した(開発元はワイエムシステムズ株式会社)。開発したVDECチップ制御用FPGAボードの仕様、機能ブロック図、およびボード写真を図37に示す。パソコンのPCIバスに接続される。多目的用途向けに開発したので、市販のこの種のFPGAボードに比べて、搭載チップ、メモリともかなりハイスペックの仕様である。AD融合方式LSIを制御するために、160ピンの入出力を有し、パルス幅を高精度にカウントするために内蔵PLLによりFPGA内部で100MHz以上にクロックを逡倍できる。

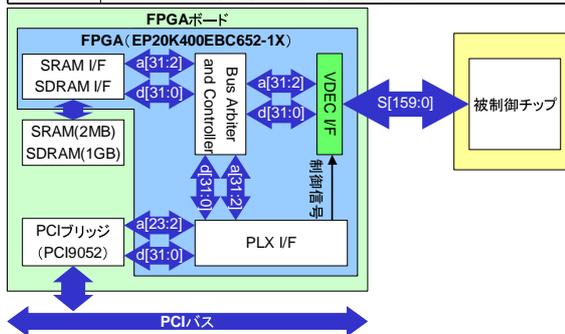
## 6.4 顔・物体認識システムの動作結果

図38に顔認識システムの動作画面を示す。

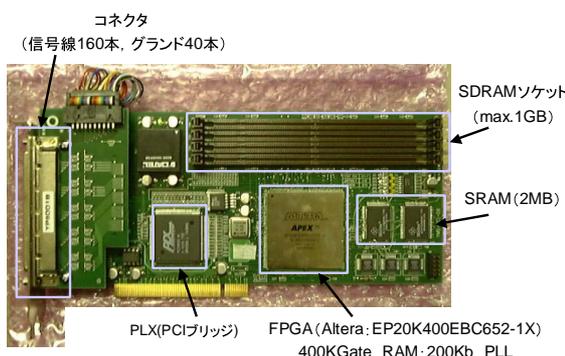
カメラから取得した画像(同図(a))に対しFPGAに実装した抵抗ヒューズネットワーク処理により大局的分割を行い(同図(c))、エッジ部分を抽出している(同図(d))。同図(d)を

### (1) FPGA ボード仕様

搭載FPGA	Altera社EP20K400EBC652-1X(PLL搭載, $f_{out}=(m/n \times k)f_{in}$ , $k, m, n=1, \dots, 16$ ) ロジックセル(ゲート)400K 動作周波数40MHz(PLLにより逡倍可能~100MHz)、別途発振器追加可能
FPGAへのダウンロード	パネル部の専用コネクタからFPGA、EEPROMへダウンロード 動作中にFPGAへダウンロード可能(デバッグSWで切り替え)
FPGA使用済みリソース	ロジックセル 約19%(IP: SRAM I/F, SDRAM I/F, PLX I/F, コントローラ) RAM 0%
PCIボード	フルサイズ(スロットは1枚分、パネルは2枚分占有)
クロック用水晶発振器	40MHz(PLX, FPGA動作用) 別途設置可能
入出力コネクタ	ハーフピッチコネクタ100P(DX-100CV1)×2(内40Pはグラウンド)
入出力SRAM	160P(双方向バッファ74LVTH16245A付き, 8P単位で切替)、3.3V, 2.3ns 2MB
SDRAM	最大1GB(メモリスロット4本)
パソコン側	Linuxドライバ付属 SRAM, SDRAMの2MB分メモリマッピング可能 SDRAMの残りの部分はバンク切り替えでアクセス



(2) FPGA ボード機能ブロック図



(3) FPGA ボード写真

図37: VDECチップ制御用FPGAボード

入力画像から直接求めたエッジ画像(同図(b))と比較すると、細かな領域エッジが消されており、大局的領域分割が行われていることが分かる。以上の処理は3.3.2節で述べたものと同様である。

同図(d)のエッジ画像から楕円に近い領域を抽出した結果を同図(a)の黒枠、および同図(e)に示す。同図(e)で示された領域の一つを選び(同図(f))、記憶画像群(同図(g))とマッチングを行い、記憶画像の1つが選ばれる(同図(h))。図では正しく同一人物が認識されていることがわかる。

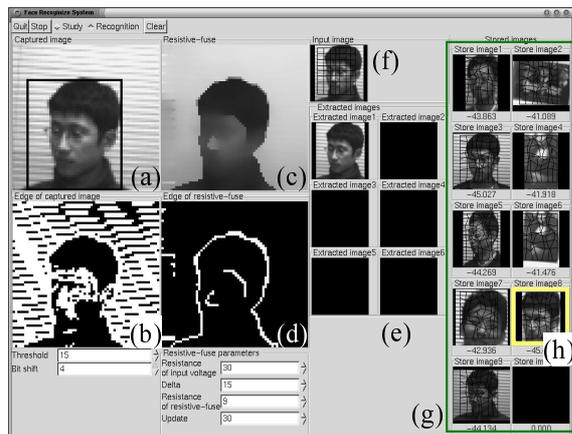


図 38: 顔認識システムの動作画面

## 7 まとめ

AD 融合回路アーキテクチャに基づいて、画素並列動作により実時間で自然画像の特徴抽出を実行し、自然画像からの顔認識を実行する集積システムの構築を目指して研究を進め、以下の成果を得た。

自然画像の大局的領域分割のための抵抗ヒューズネットワークを、AD 融合回路で実現し、試作 LSI チップで動作を確認した。また、よりハードウェア化が容易でメモリ容量を削減できるデジタル回路方式を提案した。これを FPGA 上に実装し、大局的領域分割をほぼ実時間で実現した。処理時間は、抵抗ヒューズネットワーク回路部分の処理だけで約 20 ミリ秒 ( $64 \times 64$  画素) であった。

画像分割後に得られるエッジ情報を利用し、エッジで囲まれた領域を逐次的に抽出する画素並列動作型アルゴリズムを考案し、それを実行する回路を提案した。回路は極めてコンパクトなので、画像分割/エッジ抽出回路などに容易に組み込むことができる。抽出すべき領域数が一定の場合、処理時間は画素数の平方根に比例し、領域数があまり多くない大局的領域分割後の処理では、一般的なラベリング処理よりはるかに高速に処理できる。また、このアルゴリズムを FPGA に実装し、 $30 \times 30$  画素で 5 個程度の領域数の場合、 $5 \mu\text{sec}$  で処理できることを示した。

画像の特徴抽出のためのガボールウェーブレット変換を実行する抵抗ネットワーク型回路を検討し、従来方式の問題点を解決するダイナ

ミック方式を提案するとともに、それを AD 融合回路で実現した。2次元ガボールフィルタ LSI を設計し、試作チップにより 2次元インパルス応答を確認した。試作チップは  $0.35 \mu\text{m}$  CMOS プロセスを用い、 $4.9\text{mm}$  角に  $12 \times 24$  画素を集積した。さらに、 $9.8\text{mm}$  角に  $61 \times 72$  画素を集積した LSI を設計した。この LSI は、顔認識に必要な 4 方向 5 周波数のガボール変換を約 40 ms で実行し、消費電力は約 800 mW である。

FPGA を搭載した PCI ボードを PC に組み込み、顔・物体認識のためのシステムを構築した。FPGA に実装した抵抗ヒューズネットワーク処理により準リアルタイムで大局的領域分割を行い、認識処理を実行できた。

実際の顔・物体認識に対応できる AD 融合方式 LSI が完成しだい、FPGA ボードに接続し、システムに組み込む予定である。

## 謝辞

本研究は文部省科研費特定領域研究 (A) 「知的瞬時処理複合化集積システム」の補助を受けて行ったものである。また、本チップ試作は東京大学大規模集積システム設計教育研究センターを通し ローム (株) および凸版印刷 (株) の協力で行われたものである。

## 参考文献

- [1] A. Iwata and M. Nagata, "A Concept of Analog-Digital Merged Circuit Architecture for Future VLSI's," *IEICE Trans. Fundamentals.*, vol. E79-A, no. 2, pp. 145–157, 1996.
- [2] A. Iwata, T. Morie, and M. Nagata, "Merged Analog-Digital Circuits Using Pulse Modulation for Intelligent SoC Applications," *IEICE Trans. Fundamentals.*, vol. E84-A, no. 2, pp. 486–496, 2001.
- [3] T. Morie, S. Sakabayashi, H. Ando, M. Nagata, and A. Iwata, "Pulse Modulation Circuit Techniques for Nonlinear Dynamical Systems," in *Proc. Int. Symp. on Nonlinear Theory and its Applications (NOLTA'98)*, pp. 447–450, Crans-Montana, Sept. 1998.
- [4] T. Morie, M. Miyake, S. Nishijima, M. Nagata, and A. Iwata, "A Multi-Functional Cellular Neural Network Circuit Using Pulse Modulation Signals for Image Recognition," in *Proc. Int. Conf. on Neural Information Processing (ICONIP)*, pp. 613–617, Taejon, Korea, Nov. 2000.
- [5] T. Morie, M. Nagata, and A. Iwata, "Design of a Pixel-Parallel Feature Extraction VLSI System for

- Biologically-Inspired Object Recognition Methods,” in *Proc. Int. Symp. on Nonlinear Theory and its Applications (NOLTA2001)*, pp. 371–374, Zao, Japan, Oct. 2001.
- [6] A. Iwata, M. Nagata, M. Homma, H. Nakamoto, H. Higashi, N. Takeda, and T. Morie, “A CMOS Intelligent Feature Associative Processor with Functional Image Sensing and A-D Merged Parallel Architecture,” in *Int. Sympo. on Future of Intellectual Integrated Electronics*, pp. 401–411, Sendai, March 1999.
- [7] H. Ando, M. Miyake, T. Morie, M. Nagata, and A. Iwata, “A Nonlinear Oscillator Network for Gray-level Image Segmentation and PWM/PPM Circuits for Its VLSI Implementation,” *IEICE Trans. Fundamentals.*, vol. E83-A, no. 2, pp. 329–336, 2000.
- [8] 安藤博士, 三宅誠, 森江隆, 永田真, 岩田穆, “抵抗ヒューズと振動子ネットワークを組み合わせた画像分割処理とその LSI 回路実現,” 信学技報, NC99-167, 2000.
- [9] H. Ando, T. Morie, M. Miyake, M. Nagata, and A. Iwata, “Image Object Extraction using Resistive-Fuse and Oscillator Networks and a Pulse-Modulation Circuit for their LSI Implementation,” in *Ext. Abs. of Int. Conf. on Solid State Devices and Materials (SSDM)*, pp. 368–369, Sendai, Japan, Aug. 2000.
- [10] H. Ando, T. Morie, M. Miyake, M. Nagata, and A. Iwata, “Image Segmentation/Extraction Using Non-linear Cellular Networks and their VLSI Implementation Using Pulse-Modulation Techniques,” *IEICE Trans. Fundamentals.*, vol. E85-A, no. 2, pp. 381–388, 2002.
- [11] 中野鉄平, 彦本里美, 森江隆, 永田真, 岩田穆, “画像認識のための画素並列領域抽出アルゴリズムと FPGA への実装,” 信学技報, ICD2001-42, 2001.
- [12] T. Nakano, T. Morie, M. Nagata, and A. Iwata, “A Cellular-Automaton-Type Image Extraction Algorithm and Its Implementation Using an FPGA,” in *Proc. IEEE Asia-Pacific Conf. on Circuits and Systems (APCCAS)*, Singapore, Dec. 2002.
- [13] 大久保竜也, 安達澄昭, 岩尾博之, “顔認識技術を用いた入退室管理システム,” OMRON TECHNICS, 通巻 135 号, 2000.
- [14] 森本勝, 安達澄昭, 西村純一, “顔認識技術を用いた徘徊者保護支援システム,” OMRON TECHNICS, 通巻 137 号, 2001.
- [15] B. E. Shi, “Gabor-Type Filtering in Space and Time with Cellular Neural Networks,” *IEEE Trans. Circuits & Syst. I*, vol. 45, pp. 121–132, 1998.
- [16] B. E. Shi, “2D Focal Plane Steerable and Scalable Cortical Filters,” in *Proc. Int. Conf. on Microelectronics for Neural, Fuzzy and Bio-inspired Systems (MicroNeuro)*, pp. 232–239, 1999.
- [17] M. Lades, J. C. Vorbrüggen, J. Buhmann, J. Lange, C. v.d. Malsburg, R. P. Würtz, and W. Konen, “Distortion Invariant Object Recognition in the Dynamic Link Architecture,” *IEEE Trans. Comput.*, vol. 42, no. 3, pp. 300–311, 1993.
- [18] R. P. Würtz, “Object Recognition Robust Under Translations, Deformations, and Changes in Background,” *IEEE Trans. Pattern Analysis and Machine Intelligence*, vol. 19, no. 7, pp. 769–775, 1997.
- [19] J. Harris, C. Koch, and J. Luo, “Resistive Fuses: Analog Hardware for Detecting Discontinuities in Early Vision,” in C. Mead and M. Ismail, editors, *Analog VLSI Implementation of Neural Systems*, pp. 27–55. Kluwer Academic Publishers, 1989.
- [20] P. C. Yu, S. J. Decker, H. S. Lee, C. G. Sodini, and J. L. Wyatt, Jr., “CMOS Resistive Fuses for Image Smoothing and Segmentation,” *IEEE J. Solid-State Circuits*, vol. 27, pp. 545–553, 1992.
- [21] 永井宏昌, 坂井丈泰, 澤地利明, 松本隆, “CMOS フロートインゲート Resistive Fuse チップ,” 信学技報, NC96-113, 1997.
- [22] T. Morie, M. Miyake, M. Nagata, and A. Iwata, “A 1-D CMOS PWM Cellular Neural Network Circuit and Resistive-Fuse Network Operation,” in *Ext. Abs. of Int. Conf. on Solid State Devices and Materials (SSDM)*, pp. 90–91, Tokyo, Sept. 2001.
- [23] 中野鉄平, 森江隆, 安藤博士, 石津任章, 岩田穆, “大域的画像領域分割のためのデジタル方式抵抗ヒューズネットワークの設計と FPGA への実装,” 第 6 回システム LSI ワークショップ講演資料集およびポスター資料集, pp. 223–225, 2002.
- [24] 谷口慶治, 画像処理工学, 共立出版, 1996.