

量子ドットを用いた 知能情報処理回路

量子ドット，単電子回路，確率的連想，熱雑音，確率共振
森江 隆，岩田 穆

1. はじめに

デバイスのサイズがナノメートルスケールになると，電子1個1個の振る舞いが直接デバイス動作に効いてくるので，既存のMOSデバイスに代わって，クーロン・ブロッケード現象や電子同士のクーロン反発力を利用した新しいデバイスが実現できる。このようなデバイスを仮定して設計された回路を「単電子回路」と呼ぶ。この回路は通常，電子が存在できるドット（孤立島）と呼ばれる微小領域（ノード部分）と，電子がトンネルできる「トンネル接合容量」および電子がトンネルできない通常のキャパシタの組合せで構成される。電子はトンネル接合で結合された複数のドット内に量子力学的に存在するので，量子ドット回路とも呼ばれるが，クーロン反発力で電子が移動する半古典的なイメージで原理は理解できる。

単電子デバイス・回路において，1個の電子で動作が決まるということは，逆に見れば，そのデバイスが電荷に対して極めて敏感で，信頼性の確保が難しいことを意味する。すなわち，ドット周辺の電荷トラップや残留不純物などによる予想外の電荷（「背景電荷」または「オフセット電荷」と呼ばれる）の影響のために多数の素子を正常に動作させることが極めて困難になる。また，素子サイズの製造ばらつきにも敏感になる。したがって，既存のCMOSデジタル回路のような多段の論理回路構成を採用することは難しい。また，トンネル現象が確率的であることから，回路動作が確率的になるのも従来のシステムからみると望ましくない。このような点を考えると，新しい情報処理原理に基づく新しい単電子デバイス・回路を考案する必要がある。ここに，回路・システム開発者が単電子デバイス開発に積極的に関与しなければならない理由がある。デバイスができてから回路・システムの研究を始めればよいのではなく，回路・システムからデバイスまでを見通した開発戦略が必要なのである。

このため，単電子回路・システム開発において，我々は次のような設計指針を考えた。

1) 既存のCMOSは極めて優れたデバイスであり，今後10年以上にわたって主要な役割を演じることは間違いないので，単電子デバイスをCMOSに置き換えるという方針は当面とらない。単電子デバイスの超高集積性・超低消費電力性という特長を活かして，CMOSと共存するLSIシステムを構築する。

2) 単電子デバイスは単段または少数論理段数で，規則的な繰り返し構成の回路で使い，超並列動作でトータルとしての速度性能を向上させる。また，冗長構成と多数決原理により，オフセット電荷や製造ばらつきなどによる誤動作の確率を減らし，信頼性の向上を図る。一方，CMOS回路は高速性と高信頼性という特長を生かして，複雑な多段論理を実現する。

3) CMOSデバイスと単電子デバイスの接続には（単電子デバイスから見て）比較的大きな容量を用いる。これには普通，微細MOSトランジスタのゲート容量が使える。単電子デバイスの処理結果（電子数などで表現される）はこの容量に集められ，CMOS回路に伝えられる。こうして，単電子回路とCMOS回路の共存が図られる。

4) 一方，単電子デバイスの確率的動作を逆に積極的に活かした情報処理モデルを考案することも重要である。近年，生体では熱雑音を積極的に利用した情報処理が行われていることが見出されてきている[1]。このような知見を単電子回路に活かすことも重要である。

本稿では，確率的動作を積極的に用いたモデルとして我々が提案している「確率的連想処理モデル」について述べ，上記の指針に基づいた回路の一例として，連想処理のためのハミング距離を計算する単電子回路とその構造を紹介する。これは，動作温度を向上させるために，熱雑音の確率共振現象を利用するというユニークな回路である。

2. 単電子回路による確率的連想処理

連想処理は，記憶パターンの中から入力パターンに最も似通ったものを選び出す処理で，知能的な情報処理の基本

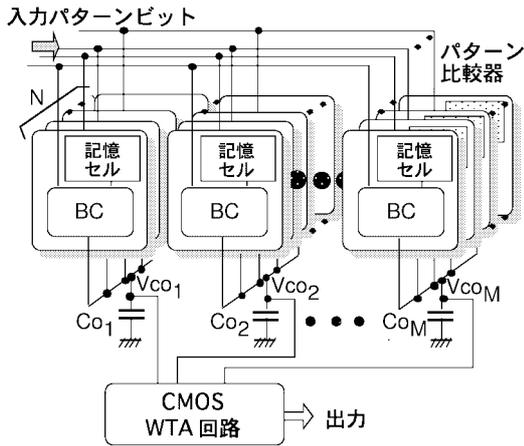


図 1: 単電子デバイスを用いた確率的理想処理回路の構成

要素のひとつである。我々が提案している「確率的理想処理」では、最も似通ったパターンだけでなく、2番目以降の似たパターンもその類似度に応じて確率的に選ばれる。その確率性を単電子デバイスの確率的振る舞いを利用して実現することを提案している [2]。ここでは、デジタルパターンを考え、類似度を表す尺度としてハミング距離（異なったビットの数）を用いることとする。各パターンは N ビットより成るとし、記憶パターンは M 個あるとする。ここで、 $N, M \gg 1$ とする。

図 1 に示すように、単電子回路で構成したビット比較器 (BC; XOR ゲート) により、入力パターンと各記憶パターンの各ビットを並列的に比較する。比較結果は BC から放出される電子の個数により表現され、パターン単位でキャパシタ C_{oi} にまとめられる。このキャパシタとしては微細 MOS トランジスタのゲート容量を用いる。ゲートサイズは単電子 BC 回路よりも $N(\gg 1)$ 倍のオーダ大きいので MOS デバイスが使えるのである。キャパシタの端子電圧 V_{Coi} の変化は MOS トランジスタのドレイン電流により読み出され、ウィナー・テイク・オール (WTA) 回路に入力される。WTA 回路にも通常の CMOS 回路が使え。WTA 回路は M 個のパターンからハミング距離の最も小さいものを選び出す。

しかし、単電子 BC 回路からの出力は確率的に揺らぐので、WTA 回路で決定論的に選ばれたパターンが必ずしも真に最もハミング距離の近いパターンとは限らない。選ばれる確率は類似度に依存する。こうして、確率的理想処理が単電子回路により実現できる。単電子回路シミュレーションにより、7 セグメントで構成された数字パターン 10 個 ($N=7, M=10$) の確率的理想処理を実行した結果を図 2 に示す [3]。入力パターンのハミング距離に依存して理想確率が得られていることがわかる。

なお、確率的理想処理は、画像圧縮やパターン認識など

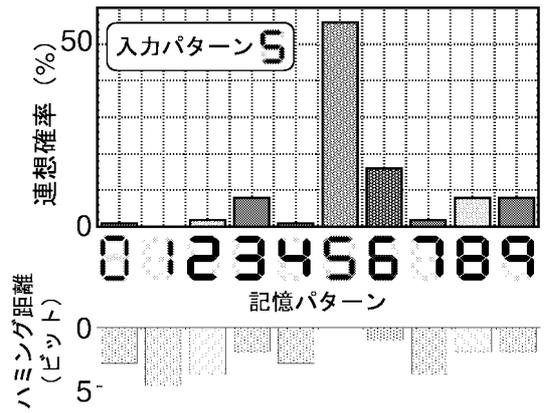


図 2: 数字パターンの確率的理想処理 (単電子回路シミュレーション結果)

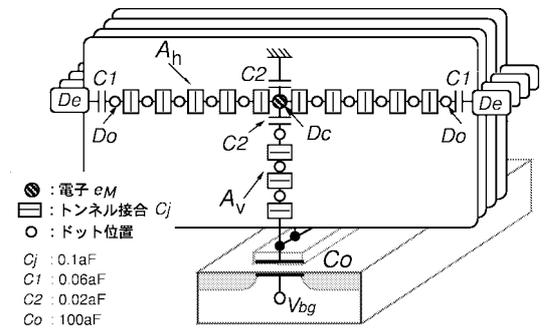


図 3 量子ドットを用いたパターン比較器回路

に使われるベクトル量子化の学習に有効であることも実証している [4]。

結局、重要な回路要素は、 N 個の単電子 BC 回路を並列的に配置し、各比較結果をキャパシタ C_o に集める機能を有する「パターン比較器」である。

3. 熱雑音を利用して動作するパターン比較器回路

単電子回路では、最大動作温度は主に電子から見える総容量 C_{tot} で決まる。一般にこの種の回路で、単電子動作をさせるためには静電エネルギー e^2/C_{tot} が熱エネルギー kT よりも十分大きくなければならないが、超大規模集積回路としての信頼性を確保するにはその比が 100 倍程度必要になる。一方、接合容量はドットのサイズに依存し、現状の技術で実現可能なサイズである 1nm オーダのドットサイズでは、約 0.1aF となる。この容量値では、最大動作温度は数 10K 程度となり、到底室温動作は期待できない。

そこで、熱雑音を押さえ込もうとするのではなく、逆に積極的に利用する単電子回路を考えた [5]。

図 3 に示すように、MOS トランジスタのゲート電極上に並んだナノメータサイズのドット列の集合を考える。水平なドット列 (A_h) の中央の位置 (D_c) に 1 個の電子 (e_M) を導入し、両端のドット (D_e) に、“1” または “0” (ビット)

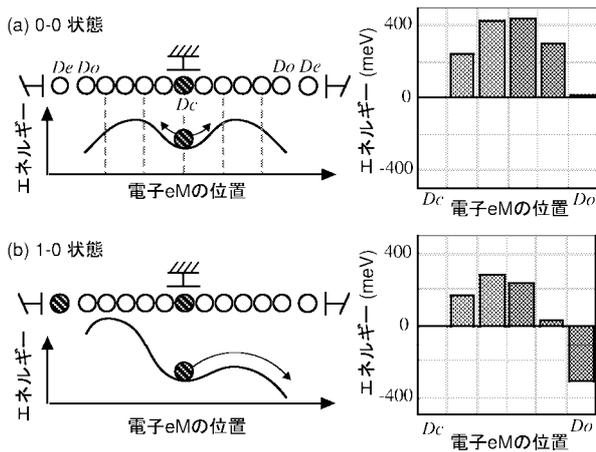


図 4: 1次元ドット列でのエネルギー形状とシミュレーション結果 (ドット列右半分のエネルギーを示す)

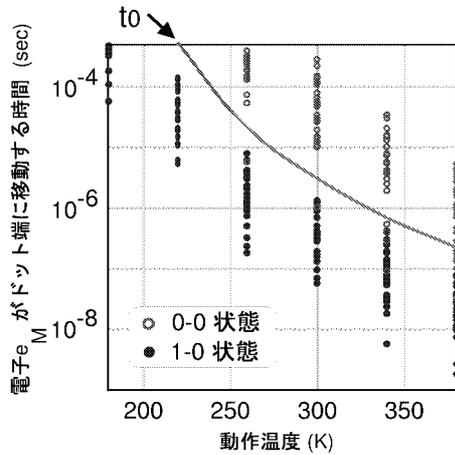


図 5: 電子 e_M がドット列端 D_o に到達する時間と動作温度の関係

ト)に対応して電子を置く(または置かない)ことで電位をセットすると、図 4 に示すように、電子自身の存在によりドット列中央から端にかけて大きなエネルギー障壁ができる。そのため、電子 e_M は低温では動けないが、温度が上がると熱エネルギーの助けを借りて障壁を越えてドット列端 (D_o) に移動できる。

各ビットの組合せを考えると、1-1 状態ではエネルギー障壁は最も高くなって電子は中央から動けない。一方、0-0 状態と、1-0 または 0-1 状態とを比較すると、エネルギー障壁の高さが異なるために(図 4)、1-0/0-1 状態では電子が端に移動しているが、0-0 状態では電子がまだ中央にとどまっているようなある時間範囲が存在する。その境界の時間 t_0 はトンネル抵抗に依存するが、図 5 に示すシミュレーション結果では室温で $1\mu\text{s}$ 程度である。すなわち、両端に電位を与えた後、ちょうどこの時間後に電子の位置を検出すれば室温で動作するビット比較器が実現できる。

この検出は垂直方向のドット列 (A_v) によって行われる。

もし、電子 e_M が中央のドットに安定化していれば、そのクーロン反発力により、垂直ドット列内で分極が起こり、ゲート電極に電子が発生する。したがって、ビット比較結果がゲート電位に反映される。

図 3 の構造は近年研究が進められている「量子ドット浮遊ゲートメモリデバイス」構造 [6] に類似しており、規則的なドット配列は自己組織化形成プロセスを用いて実現できる可能性が高い。この構造の特長として、厳密に規則的なドット配列を形成しなくてもよいこと、および 1 ドット列で 1 ビットを表現する必要もなく、量子ドットへ信号を送る配線の微細加工のレベルがナノスケールまで到達しなくても動作可能なことなどが挙げられる。この点でも有機分子等を用いた自己組織化プロセスでの実現に適しているといえよう。

4. まとめ

ここで示した量子ドットを用いた連想処理システムを実現するためには、量子ドット構造だけでなく、ナノメータスケールの配線やメモリ素子などの開発が必要であるが、実現できれば既存 LSI の 100 倍以上の集積度を有するものとなる。

単電子回路は既存の CMOS 回路を置き換えるものではなく、それを補完するものであると考え、CMOS 回路の不得意な機能を出す回路構成および処理モデルを考案していくことが重要である。

本研究は科学技術振興事業団による戦略的基礎研究推進事業の補助を受けて行われた。

参考文献

- [1] 下澤 橋夫: 信学技報, MBE99-160/NC99-149, 2000.
- [2] M. Saen, T. Morie, M. Nagata, and A. Iwata: IEICE Trans. Electron., E81-C, 30 (1998).
- [3] T. Yamanaka, T. Morie, M. Nagata, and A. Iwata: Nanotechnology, 11, 154 (2000).
- [4] 松浦 知宏, 森江 隆, 永田 真, 岩田 穆: 信学技報, NC2000-153, 2001.
- [5] T. Matsuura, T. Morie, M. Nagata, and A. Iwata: Ext. Abstracts of SSDM, p.306 (2000).
- [6] R. Ohba, et al.: Ext. Abstracts of SSDM, p.122 (2000).

もりえ・たかし 1981年大阪大学大学院理学研究科修了。同年電電公社入社。1997年より広島大学工学部(2001年より大学院先端物質科学研究科)助教授。工学博士。知能情報処理のための集積回路・システムの研究に従事。

いわた・あつし 1970年名古屋大学大学院工学部研究科修了。同年電電公社入社。1994年より広島大学工学部(2001年より大学院先端物質科学研究科)教授。工学博士。アナログデジタル混載 LSI 設計技術などの研究に従事。