

# 3次元ナノドット構造を用いた 単電子連想処理回路

森江 隆\*, 松浦 知宏, 永田 真, 岩田 穆 (広島大学)

Single-electron Associative Processing Circuits Using 3-D Nano-dot Structures

Takashi Morie, Tomohiro Matsuura, Makoto Nagata, Atsushi Iwata (Hiroshima University)

## 1. はじめに

CMOS デジタル回路の高集積化・高速化は着実に進展しているが、デバイスのスケールが 10nm 以下のオーダになると、電子 1 個 1 個の振る舞いが直接デバイス動作に効いてくるようになり、MOS デバイスが原理的に正常動作しなくなる。しかし、この領域ではクーロン・ブロッケード現象により、単電子を制御できる。また、電子同士のクーロン反発力を利用した処理も可能になる。クーロン・ブロッケードを利用した素子としてトンネル接合を組み合わせた構造の「単電子トランジスタ (SET)」が提案され、それを用いた CMOS 型の論理ゲートも提案されている [1]。また、回路の提案だけでなく、微細加工技術を用いたデバイス製造技術の研究も盛んで、単電子トランジスタによる論理ゲートの試作にも成功している [2]。

しかし、単電子回路には本質的な問題がある。まず、トンネル現象が純粋に確率的であるために、現状の CMOS 回路に比べて動作速度がかなり遅い。また、電荷に対して敏感なために、信頼性が低い。すなわち、孤立ノード周辺のトラップや残留不純物などによる予想外の電荷(「背景電荷」または「オフセット電荷」と呼ばれる)の影響のために多数の素子を正常に動作させることが極めて困難である。したがって、既存の CMOS デジタル回路のような多段構成のアーキテクチャを採用することは難しく、新しい情報処理原理に基づく新しい単電子回路を考案していくことが必要になる。ここに、回路・システム開発者が単電子デバイス開発に関与しなければならない理由がある。回路・システムからデバイスまでを見通した開発戦略が必要なのである。

このための我々が考えた方策は以下のようなものである。まず、既存の CMOS は極めて優れたデバイスであり、将来にわたっても主要な役割を演じることは間違いないので、単電子デバイスを CMOS に置き換えるという方針はとらない。単電子デバイスの超高集積性・超低消費電力性という特長を利用して、CMOS と共存する LSI システムを構築する。

単電子デバイスは単段または少数段数を有する規則的な繰り返し構成のアーキテクチャで使い、超並列動作で低動作速度を補い、実質的な性能を向上させる。また、冗長構成と多数決原理により、オフセット電荷などによる誤動作の確率を減らし、信頼性の向上を図る。一方、CMOS 回路は高速性と高信頼性という特長を生かして、複雑な多段論理を実現する。

CMOS デバイスと単電子デバイスの接続には(単電子デバイスから見て)比較的大きな容量を用いる。これには普通、微

細 MOS トランジスタのゲート容量が使える。単電子デバイスの処理結果(電子数などで表現される)はこの容量に集められ、CMOS 回路に伝えられる。こうして、単電子回路と CMOS 回路の共存が図られる。

一方、単電子デバイスの確率的動作を逆に積極的に活かした情報処理モデルを考案することも重要である。近年、生体では熱雑音を積極的に利用した情報処理が行われていることが見出されてきている [3]。このような知見を単電子回路に活かすことも重要である。

本論文では、まず、確率的動作を積極的に用いたモデルとして我々が提案した「確率的連想モデル」について述べる。次に、上記の方策に基づいた回路の一例として、連想メモリのためのハミング距離を計算する単電子回路とその構造を提案する。さらに、動作温度を向上させるために、熱雑音を利用する回路についても紹介する。

## 2. 単電子デバイスによる確率的連想メモリ処理

通常の連想メモリは記憶パターンの中から入力パターンに最も似通ったパターンを選び出す。しかし、我々が提案する「確率的連想メモリ」では、最も似通ったパターンだけでなく、2 番目以降の似たパターンもその類似度に応じて確率的に選ばれる [4]。その確率性を単電子デバイスの確率的振る舞いを利用して実現する。ここでは、デジタルパターンを考え、類似度を表す尺度としてハミング距離(異なったビットの数)を用いることとする。各パターンは  $N$  ビットより成るとし、記憶データは  $M$  個あるとする。ここで、 $N, M \gg 1$  とする。

図 1 に示すように、単電子デバイスで構成したビット比較器(BC; XOR ゲート)により、入力パターンと各記憶パターンの各ビットを並列的に比較する。比較結果は BC から放出される電子の個数により表現され、パターン単位でキャパシタ  $C_{oi}$  にまとめられる。このキャパシタとしては微細 MOS トランジスタのゲート容量を用いる。ゲートサイズは単電子 BC 回路よりも  $N(\gg 1)$  倍大きいので MOS デバイスが使えるのである。キャパシタの端子電圧  $V_{Coi}$  の変化は MOS トランジスタのドレイン電流により読み出され、ウィナー・テイク・オール(WTA)回路に入力される。WTA 回路にも通常の CMOS 回路が使える。WTA 回路はその時点で測定したハミング距離の最も小さいパターンを選び出す。しかし、単電子デバイスでできた BC からの出力は確率的に揺らぐので、WTA 回路で決定論的に選ばれたパターンが必ずしも真に最もハミング距離の近いパターンとは限らない。選ばれる確率は類似度に依存

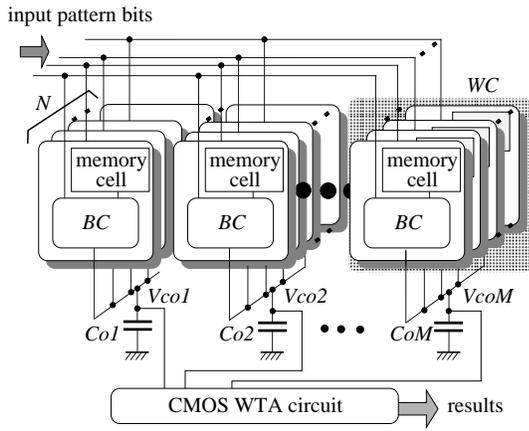


図 1: 単電子回路による確率的連想メモリアーキテクチャ  
 Fig. 1: Stochastic associative memory architecture using single-electron circuits.

する。こうして、確率的連想処理が単電子回路により実現できる。図 2 には、次に述べる SET パターン比較器を用いて構成した連想回路に、7 セグメントで構成された数字パターン 10 個 ( $N = 7, M = 10$ ) の確率的連想処理を実行させたシミュレーション結果を示す [5]。入力パターンのハミング距離に依存して想起確率が得られているのがわかる。

結局、重点的に考えなければならない回路要素は、 $N$  個のビット比較器を並列的に配置し、各比較結果をキャパシタ  $C_o$  に集める機能を有する「パターン比較器」である。以下に 3 種類の単電子パターン比較器を示す。

### 3. 単電子パターン比較器回路

#### 3.1 SET を用いたパターン比較器

図 3 に SET を用いたビット比較器を示す [5]。SET には、ゲート電圧とドレイン電流の間にクーロンブロック現象に起因する非単調な周期特性があるために、1 個の SET で XNOR ゲートが実現できる (図 3(a))。しかし、特性ばらつき (図 3(b)) を考慮して、1-1 状態と 0-0 状態で等しい出力を出すために、相補的な入力を与える 2 個の SET を並列に接続する (図 3(c))。SET を通過する電子は確率的にトンネルするので  $V_{Co}$  の立ち上がりも確率的に揺らぐことになる (図 3(d))。このビット比較器を複数個用意し、共通のキャパシタに接続すればパターン比較器が構成できる。具体的な構造としては、微細 MOS ゲート電極上に SET の孤立ノードに相当するドットを規則的に並べ、それらに入力用の電極と電源用のプレート電極を容量結合させればよい。構造イメージを図 4 に示す。この構造は近年盛んに研究が進められている「量子ドット浮遊ゲートメモリデバイス」構造 [6, 7] に似ており、規則的なドット配列は自己組織化形成プロセスを用いて実現できる可能性が高い。

パターン比較動作は以下の通りである。もし、各ビット比較器で比較結果が等しい場合、SET が導通して電源からキャ

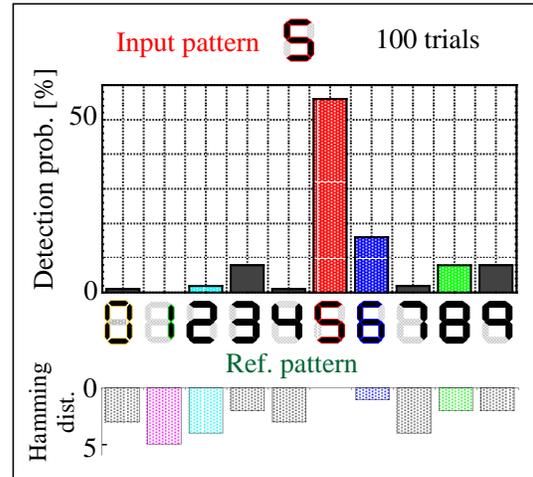


図 2: 数字パターンの確率的連想処理 (単電子回路シミュレーション結果)  
 Fig. 2: Stochastic association about digit patterns (single-electron circuit simulation results).

パシタ電極に電荷が供給されるので、ビット一致度が大きいほど、確率的に速く  $V_{Co}$  が立ち上がる。WTA 回路は最も早く  $V_{Co}$  が立ち上がったパターンを選び出し、連想結果とする。

このように過渡的な変化を検出する回路では、SET 動作で通常誤差要因となる協同トンネリング効果は無視できる。単一の SET ではトンネル抵抗のばらつきやオフセット電荷による誤差は無視できないが、1 つのビット比較に複数のビット比較器を割り当てれば、誤差が平均化され正常動作が期待できる。またこの回路では、WTA 回路が過渡的な変化を検出しなければならないので、時定数を考慮した設計が必要である。

#### 3.2 量子ドット列を用いたパターン比較器

図 5 は相互に電子がトンネル可能な量子ドット列において、両端の電位に依存したクーロン反発力のために電子  $e_M$  の安定化するドット位置が変わることを利用してビット比較を行う回路である [8]。もし、電子  $e_M$  が中央のドットに安定化すれば、電子  $e_R$  が  $C_o$  の電極に移動するので、ビット比較結果がキャパシタ電極の電位に反映される。本回路も、図 6 に示すように微細 MOS ゲート電極上にドットを規則的に配置することにより実現できるが、SET を用いた回路よりもドット配置構造はやや複雑になる。しかし、本回路では WTA 回路は電子の安定状態を検出すればよいので、時定数の問題はなく、トンネル抵抗のばらつきは問題にならない。

#### 3.3 単電子回路の動作温度

単電子回路では、最大動作温度は主に接合容量で決まる。一般にこの種の回路で、単電子動作をさせるためには静電エネルギー  $e^2/C$  が熱エネルギー  $kT$  よりも十分大きくなければならないが、集積回路としての信頼性を確保するにはその比が 100 倍程度必要になる。一方、接合容量はドットのサイズに依存し、現状の技術で実現可能なサイズである 1nm オーダ

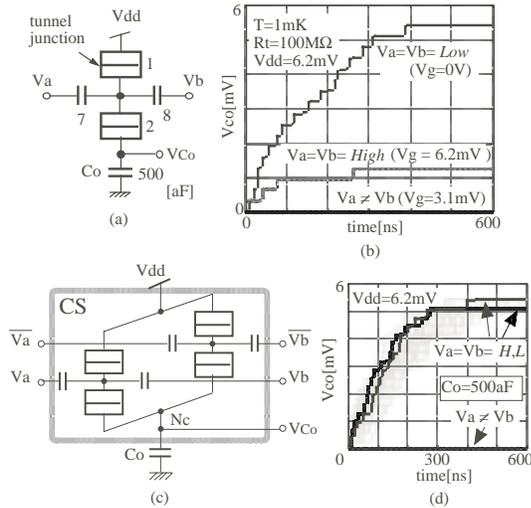


図 3: SET を用いたビット比較器  
Fig. 3: A bit-comparator using SETs.

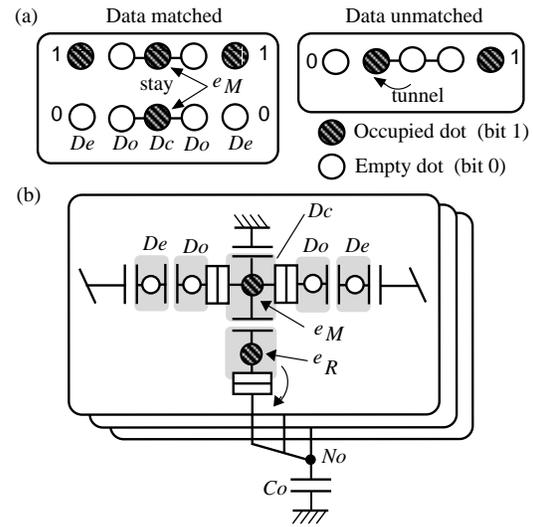


図 5: クーロン反発力によるビット比較の原理 (a) とビット比較器 (b)  
Fig. 5: Principle of bit-comparison using Coulomb repulsion effect (a) and bit-comparator circuit (b).

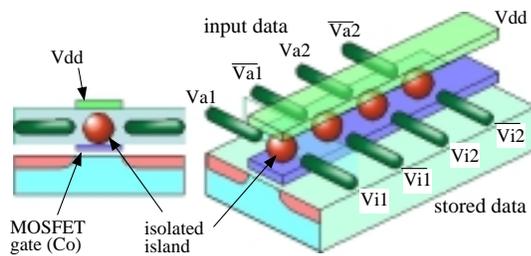


図 4: SET によるパターン比較器の 3 次元構造イメージ  
Fig. 4: 3-D structure image of an SET pattern-comparator.

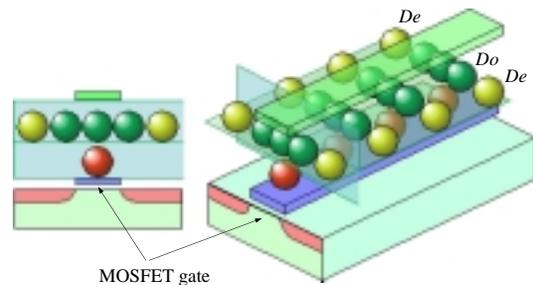


図 6: 量子ドット列を用いたパターン比較器の 3 次元構造イメージ  
Fig. 6: 3-D structure image of a quantum-dot-array pattern-comparator.

のドットサイズでは、約 0.1aF となる。この容量値では、単電子回路シミュレーションによると上記の 2 つの回路では、最大動作温度は数 10K 程度となり、到底室温動作は期待できない。そこで、我々は熱雑音を積極的に利用する単電子回路を考案した。

### 3.4 熱雑音を利用して動作する量子ドット回路

図 7 に示すように、上記の回路において量子ドットの数を追加したドット列を考える [9]。水平なドット列の中央の位置 ( $D_c$ ) に 1 個の電子 ( $e_M$ ) を置き、中央部と両端に容量結合で電位を与えると、図 8 に示すように、電子自身の存在によりエネルギー障壁ができる。そのため、最初に中央部にいた電子は障壁を越えられるだけのエネルギーが与えられないとドット列端 ( $D_o$ ) には行けない。電子は低温では動けないが、温度が上がると熱エネルギーにより障壁を越えて端に移動できる。0-0 状態と 1-0/0-1 状態とはエネルギー障壁の高さが異なるので、1-0/0-1 状態では電子が端に移動しているが、0-0 状態では電子がまだ中央にとどまっているようなある時間領域が存在する。この時間  $t_0$  はトンネル抵抗に依存するが、図 9 に示すシミュレーション結果 (接合容量 0.1aF) では室温で  $1\mu s$  程

度である。この結果は、前節に述べた通常の単電子回路に比べて約 10 倍動作温度を向上でき、現状の技術で室温動作可能な単電子回路が実現可能であることを示している。この原理を用いた多重量子ドットパターン比較器の構造イメージを図 10 に示す。

## 4. まとめ

情報処理のための単電子回路構成の考え方と、その一例として、確率動作を利用した連想処理回路および室温動作のために熱雑音を利用して動作する連想処理回路を提案した。

ここで示した SET または量子ドットを用いた連想処理システムを実現するためには、量子ドット構造だけでなく、ナノメータスケールの配線やメモリ素子などの開発が必要であるが、実現できれば既存 LSI の 100 倍以上の集積度を有するものとなろう。

単電子回路は既存の CMOS 回路を置き換えるものではなく、それを補完するものであると考え、CMOS 回路の不得意な機能を出す回路構成および処理モデルを考案していくことが重

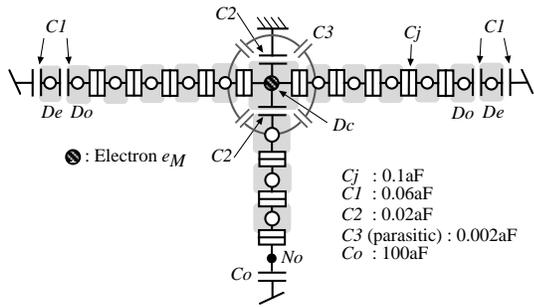


図 7: 多重量子ドットを用いたビット比較回路  
Fig. 7: A bit-comparator circuit using multiple quantum dots.

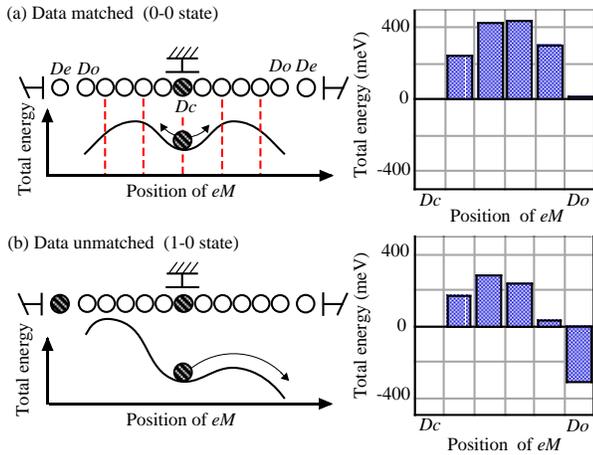


図 8: 1次元ドット列でのエネルギー形状とシミュレーション結果  
Fig. 8: Total energy profile in 1-D dot-array structure and its simulation results.

要である。

本研究は科学技術振興事業団による戦略的基礎研究推進事業の補助を受けて行われた。

#### 参考文献

- [1] J. R. Tucker, *J. Appl. Phys.*, **72**, 4399–4413 (1992)
- [2] Y. Takahashi, et al., *Appl. Phys. Lett.*, **76**, 637–639 (2000)
- [3] 下澤樞夫, 信学技報, MBE99-160/NC99-149 (2000)
- [4] M. Saen, et al., *IEICE Trans. Electron.*, **E81-C**, 30–35 (1998)
- [5] T. Yamanaka, et al., *Nanotechnology*, **11**, 154–160 (2000)
- [6] S. Tiwari, et al., *Appl. Phys. Lett.*, **68**, 1377–1379 (1996)
- [7] R. Ohba, et al., *Ext. Abs. of Int. Conf. on Solid State Devices and Materials*, pp. 122–123 (2000)
- [8] T. Morie, et al., *Superlattices & Microstructures*, **27**, 613–616 (2000)
- [9] T. Matsuura, et al., *Ext. Abs. of Int. Conf. on Solid State Devices and Materials*, pp. 306–307 (2000)

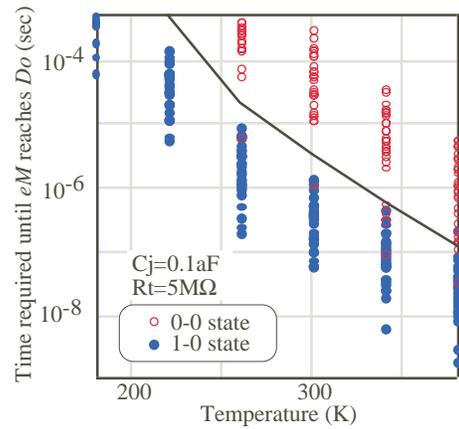


図 9: 動作温度と電子  $e_M$  がドット列端  $D_o$  に到達する時間の関係 (実線は  $t_0$  を表している)  
Fig. 9: Relation between operation temperature and time required until  $e_M$  reaches  $D_o$ . The solid line indicates  $t_0$ .

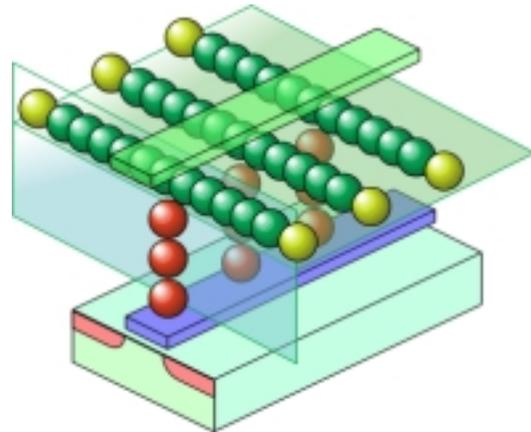


図 10: 多重量子ドットパターン比較器の構造イメージ  
Fig. 7: Structure image of a pattern-comparator using multiple quantum dots.