

# ナノ構造における量子的確率現象を利用した 知能情報処理

森江 隆

広島大学 大学院先端物質科学研究科 助教授

岩田 穆

広島大学 大学院先端物質科学研究科 教授

## 1 はじめに

シリコン大規模集積回路 (LSI) 技術の驚異的進展は留まるところを知らないようにみえる。この性能向上は主に MOS トランジスタのサイズの縮小によってもたらされてきた。今後もさらなる微細化が進行するが、デバイスのサイズが 10nm を切るようになると、MOS トランジスタとしての動作は困難になると予想されている。

ナノメータの領域では、電子 1 個 1 個の振る舞いが直接デバイス動作に効いてくる。その世界でデバイス動作を規定するのは、クーロン・ブロッケード現象<sup>1</sup>や電子同士のクーロン反発力である。このような現象を利用したデバイスを単電子デバイスと呼び、それを用いて構成された回路を「単電子回路」と呼ぶ。この回路は、電子が自由にトンネルできる「トンネル接合」と通常のキャパシタの組み合わせで設計される。

トンネル接合とは、電子が量子論的にはトンネル効果により自由に通り抜けられるが、古典的には電子が通過できないようなエネルギー障壁であり、実際には絶縁膜などで構成

される。トンネル効果を用いているという点では「量子効果デバイス」といえなくもないが、現在広く普及しているフラッシュメモリなどもデータの書き込み・消去にトンネル効果を用いていること、MOS やバイポーラトランジスタ自体もその動作原理が量子論的にか説明できないエネルギーバンド構造にしていること、そしてそれにもかかわらず、それらを量子効果デバイスと呼ばないことから、単電子デバイスも敢えて量子効果デバイスとは普通呼ばない<sup>2</sup>。

しかし、トンネル効果に起因する確率的振る舞いをデバイス動作に積極的に利用する場合は、古典的なデバイスとは一線を画す必要があるだろう。実は、電子 1 個 1 個の確率的動作に起因する特性は、従来の素子ではショット雑音と呼ばれ、邪魔者扱いされてきた。本稿ではそれを逆に積極的に利用して、知能的情報処理に適用し、さらに従来の単電子デバイスの考え方では不可能だった室温動作を実現しようとする試みについて述べる。まず、次の第 2 節で確率的振る舞いを積極的に利用した情報処理の一例を示し、第 3 節でそれを実現する単電子回路とナノ構造について解説する。

<sup>1</sup> 孤立ドットに電子が 1 個存在すると、そこにさらに電子がもう 1 個入ることがエネルギー的に許されないために、電子の動きがブロックされた状態になる現象。いわゆる「単電子トランジスタ」はこれを利用したデバイスであるが、本稿ではこのタイプの単電子デバイスは扱わず、クーロン反発力を利用したデバイスについて紹介する。

<sup>2</sup> 単電子回路は近年注目を浴びている「量子コンピュータ」とは全く違う概念である。量子コンピュータは本質的に、量子状態の重ね合わせという量子力学的特徴を利用している。実験的検証が進んでいるが、おそらく実用化は単電子回路よりさらに先であろう。また、素因数分解以外に有効なアルゴリズムを見出せるかどうかも大きな課題である。

## 2 確率的連想処理

入ってきた情報(パターン)に対し、自分が記憶しているものの中から似たものを探し出す操作を「連想」と呼ぶ。これは基本的情報処理のひとつであり、画像圧縮やパターン認識などに使われている。従来のデジタル的な連想処理では最も似たものが確実に選ばれるが、人が連想をする場合、常に同一のものが連想されるとは限らない。そこで、我々は「確率的連想処理」という概念を提案した [1, 2]。これは、最も似通ったものだけでなく、2 番目以降の似たパターンもその類似度に応じて確率的に選ばれるという処理である。これを用いると人が行う連想のように、似たものを連続して芋づる式に連想していく処理が可能で、知能的情報処理の基本要素になると思われる。また、我々はこの処理を画像圧縮・パターン認識手法のひとつであるベクトル量子化に適用し、従来手法を上回る最も効率的な処理を実現できることを実証している [3]。

確率的連想処理の概念を説明するために、ここではデジタル的なビットパターンを考え、類似度を表す尺度としてハミング距離(異なったビットの数)を用いることとする。各パターンは  $N$  ビットより成るとし、 $M$  個の記憶パターンを考える。

連想処理では入力パターンと各記憶パターンの各ビット同士を比較することによりハミング距離を計算し、それが最小のものを探し出す。確率的連想処理では、ハミング距離の計算の際に故意にわずかな乱数(揺らぎ)を加え、計算結果に誤差を与える。この誤差により、距離が最小でない記憶パターンも距離に応じた確率で選び出される。

非常に簡単な例として、7 セグメントで構成された数字パターン 10 個 ( $N = 7, M = 10$ ) の確率的連想処理を実行した結果を図 1(a) に示す。これは単電子の確率的振る舞いを模倣して動作するように設計した CMOS チップでの測定結果である [4]。ハミング距離に依存して連想確率が得られていることがわかる。ま

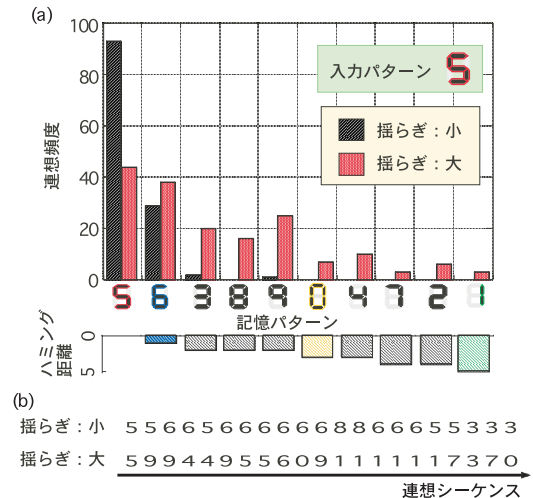


図 1: 数字パターンの確率的連想処理 (CMOS エミュレータチップでの測定結果)

た、加えた揺らぎの大小により確率分布が変わることも確認できる。さらに、確率的連想処理の結果を再び入力に戻して、繰り返し連想を行わせると、図 1(b) に示すように、似た数字を連続的に連想していくことがわかる。

## 3 確率的連想処理のための単電子回路とナノ構造

### 3.1 回路構成

上記のような確率性を単電子デバイスの確率的振る舞いを利用して実現する回路とナノ構造を示そう。

図 2 に単電子デバイスと通常の CMOS デバイスで構成した確率的連想処理回路の概念図を示す。微細 MOS トランジスタ(ゲート長 30nm 程度, ゲート幅 100nm 程度) のゲート電極上にナノドット列<sup>3</sup>で構成した単電子ビット比較器を処理に必要なビット数分だけ用意し、入力パターンと各記憶パターンの各ビッ

<sup>3</sup>ナノメータサイズのドット(電子が存在できる導電性の領域)を組み合わせることで単電子回路が構成される。ドット間の距離を制御することで、トンネル接合と通常のキャパシタを作りわけることができる。

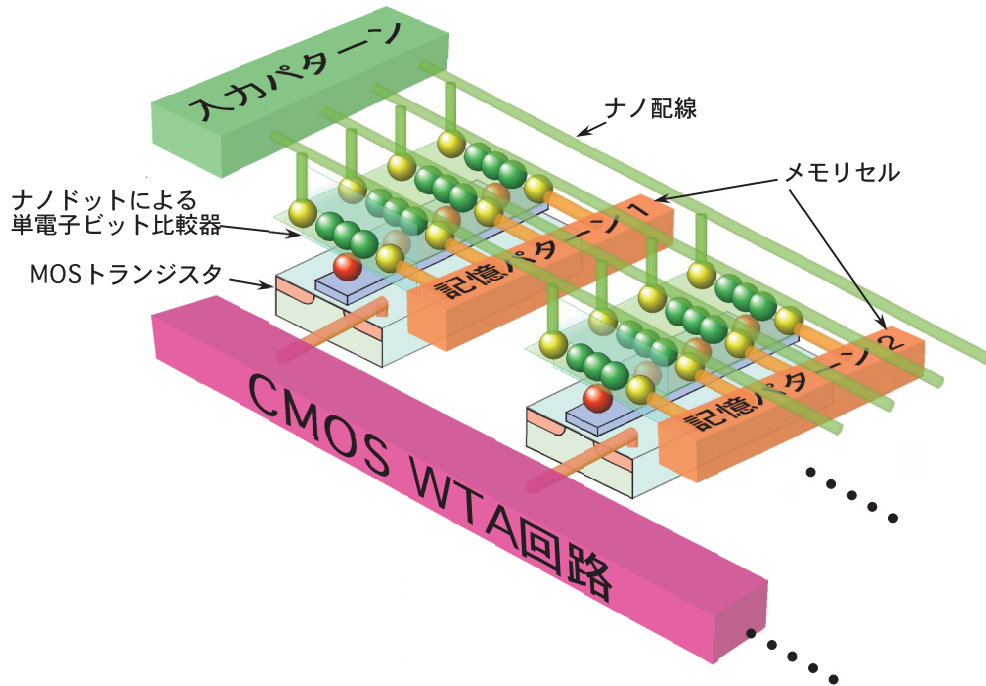


図 2: 単電子デバイスを用いた確率的連想処理回路の構成 ( ナノドット列は誇張して巨大にかつ単純化して描かれている。具体的構造は図 3 参照 )

トを並列的に比較する。ビット比較器は要は排他的論理和 ( XOR ) を実行する回路である。比較結果は、ビットが一致しているか否かに応じて、MOSトランジスタのゲート電極に電子を放出するかどうかで表される。各ビット比較器から放出されるトータルの電子の個数により、入力パターンと当該記憶パターンのハミング距離が表現され、その結果がゲート電圧に反映される。それはさらに MOSトランジスタのドレイン電流に変換され、CMOS回路で構成されたウィナー・テイク・オール ( WTA ) 回路に入力される。WTA 回路は  $M$  個のパターンからハミング距離の最も小さいものを選び出す回路である。

単電子ビット比較器からの電子の放出は、量子力学的なトンネル現象のため確率的に揺らぐので、WTA 回路で決定論的に選ばれたパターンが必ずしも真に最もハミング距離の近いパターンとは限らない。選ばれる確率は類似度に依存する。こうして、確率的連想処理が単電子回路により実現できる。結局、重要な回路要素は、 $N$  個の単電子ビット比較器を

並列的に配置し、各比較結果としての電子をゲート電極に集める「単電子パターン比較器」回路である。

### 3.2 熱雑音を利用して動作する単電子パターン比較器回路

上述のように、微細 MOSトランジスタのゲート上に単電子回路を構成するには、近年活発に研究が進められている「量子ドット浮遊ゲートメモリデバイス」[5, 6]の技術が利用できると考えられる。これは MOSゲート上にナノドットの集合を自己組織化形成プロセスで作成する技術である。

ところで、単電子回路では、最大動作温度は概ね電子が感じる総容量  $C_{tot}$  で決まる。一般にこの種の回路で単電子動作をさせるためには、電子の静電エネルギー  $e^2/2C_{tot}$  が動作温度における熱エネルギー  $kT$  よりも十分大きくなければならない (ただし、 $e$  は電子の電荷、 $k$  はボルツマン定数、 $T$  は絶対温度)。超

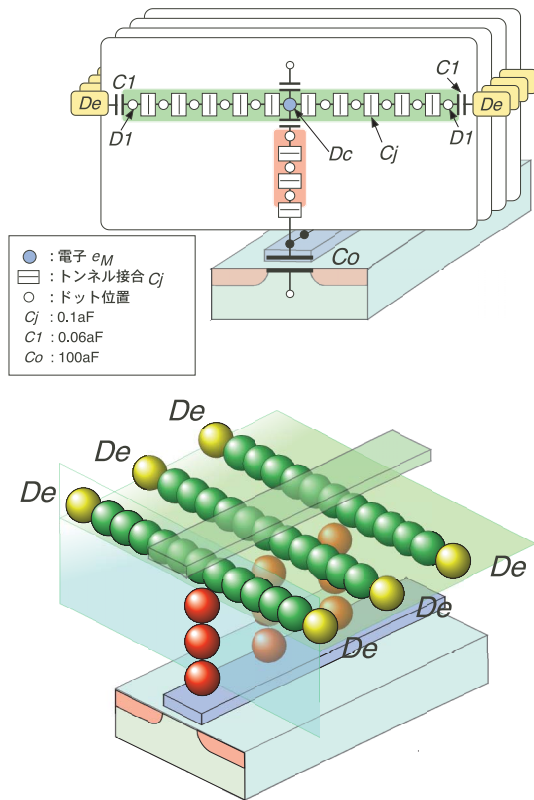


図 3: ナノドットを用いたパターン比較器回路とそれを実現するナノ構造

大規模集積回路としての信頼性を確保するにはその比が数 10 倍以上は必要である。一方、接合容量はドットのサイズに依存し、現状の技術で実現可能なサイズである 1nm オーダのドットでは、約 0.1aF となる。この容量値では、最大動作温度は数 10K 程度となり、到底室温動作は期待できない。

そこで、ここでも筆者らは、熱雑音を逆に積極的に利用する単電子回路を考えた [7]。

MOS トランジスタのゲート電極上に、図 3 に示すようにナノドット列の集合を形成できたとしてしよう。まず、水平なドット列の中央の位置 ( $D_c$ ) に 1 個だけ電子 ( $e_M$ ) を導入し、両端のドット ( $D_e$ ) に、データ (入力および記憶パターンビット) の “1” または “0” に対応して電子を置く (または置かない) ことで電位をセットする。すると、図 4 に示すように、電子自身の存在によりドット列中央から端にかけて大きなエネルギー障壁ができる。これは、電

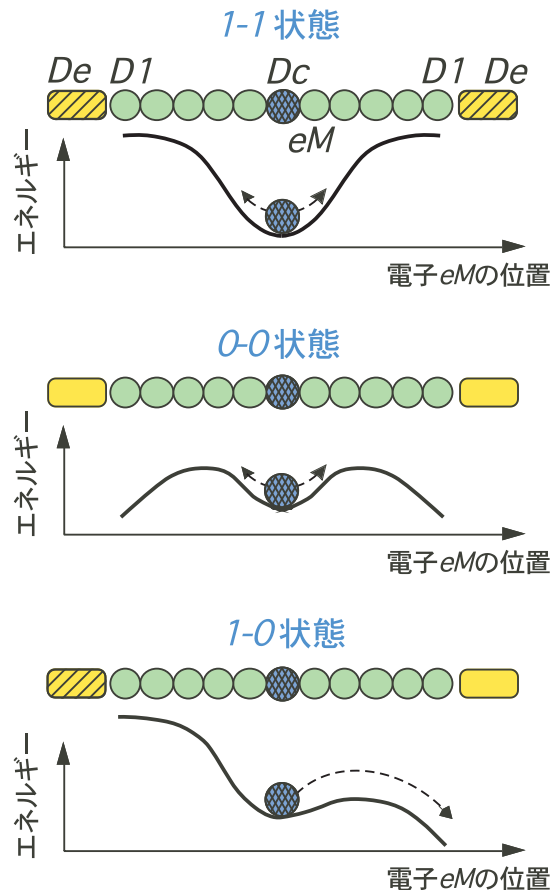


図 4: 1 次元ドット列でのエネルギー形状

子がドット列の中程に位置したときにみえる容量が接合容量の直列接続になるために  $C_{tot}$  が小さくなることによる。そのため、電子  $e_M$  は低温では動けないが、温度が上がると熱エネルギーの助けを借りて障壁を越えてドット列端 ( $D_1$ ) に移動できるようになる。

各ビットの組合せを考えてみよう。まず、1-1 状態では両端に電子が存在するので、そのクーロン反発力により電子は強く中央に押さえられ、そこから動けない。一方、0-0 状態と、1-0 または 0-1 状態とを比較すると、図 4 に示すように、エネルギー障壁の高さが異なるために、つまり、1-0/0-1 状態では一方の  $D_e$  にある電子の反発力のために、 $e_M$  は反対側により押し出されやすくなる。その結果、1-0/0-1 状態では電子が端に移動しているが、0-0 状態では電子がまだ中央に留まっているようなある時間範囲が存在する。温度が高いほど、電子



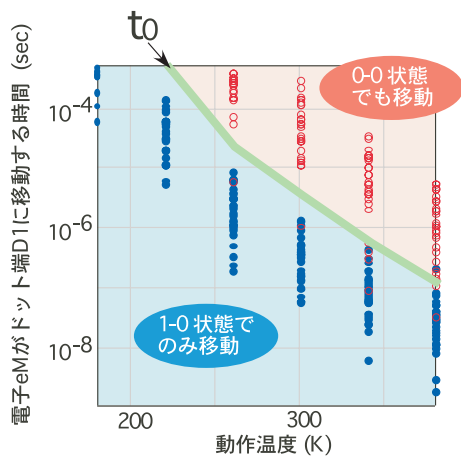


図 5: 電子  $e_M$  がドット列端  $D_1$  に到達する時間と動作温度の関係 (単電子回路シミュレーション結果)

は容易に (早く) 障壁を乗り越えるので, その境界の時間  $t_0$  は温度に依存する。これは, 図 5 に示すシミュレーション結果によると, 室温では  $1\mu\text{s}$  程度である<sup>4</sup>。結局, 両端に電位を与えた後, ちょうどこの時間後に電子の位置を検出すれば室温で動作するビット比較器が実現できるわけである。

この検出は垂直方向のドット列によって行われる。もし, 電子  $e_M$  が中央のドットに安定化していれば, そのクーロン反発力により, 垂直ドット列内で分極が起こり, ゲート電極に電子が発生する。したがって, ビット比較結果がゲート電位に反映される。

もともと, この回路は熱雑音で駆動される系なので確率的にしか動作しないが, 上記の検出タイミングを変えると, ビット比較判定結果にさらに誤差を付加することができ, 確率的連想処理における連想確率分布を変えることができる。こうして, ナノ構造で構成された単電子回路で, 確率的連想処理のキーとなる確率的揺らぎの加わったハミング距離計算が実行される。

なお, この構造の特長として, 厳密に規則的

<sup>4</sup>実際は, この時間の絶対値は電子のトンネルしやすさ, つまりトンネル抵抗に依存するので, トンネル接合の材料や製造方法に依存する。

なドット配列を形成しなくてもよいこと, および一組のドット列で 1 ビットを表現する必要もなく, 配線の微細加工のレベルがドットサイズのスケールまで到達しなくても動作可能なことなどが挙げられる。この点でも自己組織化プロセスでの実現に適しているといえ, 比較的近い将来, このデバイスを実現することができるのではないかと期待している。

ここで示した量子ドットを用いた連想処理回路を実現するためには, 量子ドット構造だけでなく, ナノメータスケールの配線やメモリ素子などの開発が必要であるが, 実現できれば既存 LSI の 100 倍以上の集積度を有するものとなる。

## 4 おわりに

確率的揺らぎを積極的に活用して新しい機能を引き出す情報処理の例を示し, それを実現するナノ構造による単電子回路を提案した。この単電子回路はまた, 熱雑音を利用して室温動作を可能としている。

デジタル CMOS 技術は今後も発展を続けるであろうし, 単電子回路についても多くの研究者はデジタル技術を適用すべく努力している。それが本流であることは論をまたないが, 本稿で述べたような全く新しい観点からの研究も真に知的なハードウェアを実現するためには必要と思われる。すなわち, 単電子回路は既存の CMOS 回路を置き換えるものではなく, それを補完するものであると考え, CMOS 回路の不得意な機能を出す回路構成および処理モデルを考案していくことが重要である。

## 参考文献

- [1] M. Saen, T. Morie, M. Nagata, and A. Iwata, "A Stochastic Associative Memory Using Single-Electron Tunneling Devices," *IEICE Trans. Electron.*, vol. E81-C, no. 1, pp. 30–35, 1998.

- [2] T. Yamanaka, T. Morie, M. Nagata, and A. Iwata, "A Single-Electron Stochastic Associative Processing Circuit Robust to Random Background-Charge Effects and Its Structure Using Nanocrystal Floating-Gate Transistors," *Nanotechnology*, vol. 11, no. 3, pp. 154–160, 2000.
- [3] 松浦知宏, 森江隆, 永田真, 岩田穆, "「確率的連想」によるベクトル量子化器の学習とパルス変調方式による LSI 回路実現," 信学技報, NC2000-153, 2001.
- [4] T. Yamanaka, T. Morie, M. Nagata, and A. Iwata, "A CMOS Stochastic Associative Processor Using PWM Chaotic Signals," *IE-ICE Trans. Electronics*, vol. E84-C, no. 12, pp. 1723–1729, 2001.
- [5] R. Ohba, N. Sugiyama, J. Koga, K. Uchida, and A. Toriumu, "Novel Si Quantum Memory Structure with Self-Aligned Stacked Nanocrystalline Dots," in *Ext. Abs. of Int. Conf. on Solid State Devices and Materials*, pp. 122–123, Sendai, Japan, Aug. 2000.
- [6] A. Kohno, H. Murakami, M. Ikeda, H. Nishiyama, S. Miyazaki, and M. Hirose, "Transient Characteristics of Electron Charging in Si-Quantum-Dot Floating Gate MOS Memories," in *Ext. Abs. of Int. Conf. on Solid State Devices and Materials*, pp. 124–125, Sendai, Japan, Aug. 2000.
- [7] T. Matsuura, T. Morie, M. Nagata, and A. Iwata, "A Multi-Quantum-Dot Associative Circuit Using Thermal-Noise Assisted Tunneling," in *Ext. Abs. of Int. Conf. on Solid State Devices and Materials*, pp. 306–307, Sendai, Japan, Aug. 2000.

## 著者プロフィール

氏名: 森江 隆

現職: 広島大学 大学院先端物質科学研究科 助教授

専門分野: 知能集積システム工学

研究テーマ: アナログ・デジタル融合回路アーキテクチャによる知能情

報処理回路, 脳の機能を模倣した顔認識システム, ナノ構造を利用した

知能処理ハードウェア

経歴: 1981年, 大阪大学大学院理学研究科博士前期課程物理学専攻修了

1981年, 日本電信電話公社入社

1997年, 広島大学工学部第二類 助教授 (2001年より現職)

氏名: 岩田 穆

現職: 広島大学 大学院先端物質科学研究科 教授

専門分野: 集積回路工学

研究テーマ: アナログ・デジタル混載 LSI 回路, RF 回路, AD 変換器,

脳型コンピュータのための集積システム

経歴: 1970年, 名古屋大学大学院工学学研究科修了

1970年, 日本電信電話公社入社

1994年, 広島大学工学部第二類 教授 (2001年より現職)

2001年, (株) エイアールテック代表取締役 (兼務)